

NuMicro® 家族**Arm® Cortex®-M0 微控制器**

M029G/M030G/M031G 系列 规格数据

The information described in this document is the exclusive intellectual property of Nuvoton Technology Corporation and shall not be reproduced without permission from Nuvoton.

Nuvoton is providing this document only for reference purposes of NuMicro® microcontroller and microprocessor based system design. Nuvoton assumes no responsibility for errors or omissions.

All data and specifications are subject to change without notice.

For additional information or questions, please contact: Nuvoton Technology Corporation.

www.nuvoton.com

目录

1	概述	10
1.1	关键特性及应用	10
2	特性	11
2.1	M029G/M030G/M031G 特性	11
3	料号信息	16
3.1	封装类型	16
3.2	M029G/M030G/M031G 系列命名规则	17
3.3	M029G/M030G/M031G 系列选择指南	18
4	引脚配置	19
4.1	引脚配置	19
4.1.1	M029G/M030G/M031G 系列引脚框图	19
4.1.2	M029G 系列多功能引脚框图	21
4.1.3	M030G 系列多功能引脚框图	23
4.1.4	M031G 系列多功能引脚框图	27
4.2	引脚映射	31
4.3	引脚功能描述	33
5	框图	37
5.1	M029G框图	37
5.2	M030G/M031G框图	37
6	功能描述	38
6.1	Arm® Cortex®-M0内核	38
6.2	系统管理	40
6.2.1	概述	40
6.2.2	系统复位	40
6.2.3	系统电源分配	46
6.2.4	电源模式和唤醒源	47
6.2.5	系统内存映射	49
6.2.6	SRAM 内存结构	51
6.2.7	芯片总线矩阵	51
6.2.8	温度传感器	52
6.2.9	内部参考电压(INT_VREF)	53
6.2.10	BPWM1调制MANCH_TXD	53
6.2.11	寄存器锁控制	54
6.2.12	系统定时器 (SysTick)	55

6.2.13可嵌套中断向量控制器(NVIC).....	56
6.3 时钟控制器.....	60
6.3.1 概述.....	60
6.3.2 时钟发生器.....	61
6.3.3 系统时钟和系统滴答时钟.....	62
6.3.4 外设时钟.....	63
6.3.5 掉电模式时钟.....	63
6.3.6 时钟输出.....	63
6.4 Flash 存储控制器(FMC).....	65
6.4.1 概述.....	65
6.4.2 特性.....	65
6.5 通用 I/O (GPIO).....	66
6.5.1 概述.....	66
6.5.2 特性.....	66
6.6 PDMA 控制器 (PDMA).....	67
6.6.1 概述.....	67
6.6.2 特性.....	67
6.7 定时器控制器 (TMR).....	68
6.7.1 概述.....	68
6.7.2 特性.....	68
6.8 看门狗定时器(WDT).....	69
6.8.1 概述.....	69
6.8.2 特性.....	69
6.9 窗口看门狗定时器 (WWDT).....	70
6.9.1 概述.....	70
6.9.2 特性.....	70
6.10 基本PWM 发生器和捕获定时器 (BPWM).....	71
6.10.1概述.....	71
6.10.2特性.....	71
6.11 UART 接口控制器 (UART).....	72
6.11.1概述.....	72
6.11.2特性.....	72
6.12 SPI接口(SPI).....	74
6.12.1概述.....	74
6.12.2特性.....	74
6.13 I ² C串行接口控制器(I ² C).....	75
6.13.1概述.....	75
6.13.2特性.....	75

6.14	CRC 控制器 (CRC).....	76
6.14.1	概述.....	76
6.14.2	特性.....	76
6.15	CRC 控制器(CRC) – 可配置	77
6.15.1	概述.....	77
6.15.2	特性.....	77
6.16	曼彻斯特控制器 (MANCH).....	78
6.16.1	概述.....	78
6.16.2	特性.....	78
6.17	模数转换器(ADC).....	79
6.17.1	概述.....	79
6.17.2	特性.....	79
6.18	数模转换器(DAC).....	81
6.18.1	概述.....	81
6.18.2	特性.....	81
6.19	外设互连	82
6.19.1	概述.....	82
6.19.2	外设互连矩阵表.....	82
7	应用电路	83
7.1	供电电路.....	83
7.2	外设应用电路.....	84
8	电气特性	85
8.1	绝对最大额定值	85
8.1.1	电压特性.....	85
8.1.2	电流特性.....	85
8.1.3	温度特性.....	86
8.1.4	EMC 特性.....	87
8.1.5	包装湿度灵敏性(MSL).....	87
8.1.6	焊接概要.....	89
8.2	常规操作条件	90
8.3	DC 电气特性	91
8.3.1	电源电流特性.....	91
8.3.2	片上外设电流消耗.....	94
8.3.3	低功耗模式下的唤醒时间	94
8.3.4	I/O 电流注入特性	96
8.3.5	I/O DC 特性	96
8.4	AC 电气特性	98

8.4.1	48 MHz 内部高速 RC 振荡器(HIRC).....	98
8.4.2	38.4 kHz 内部低速 RC 振荡器 (LIRC)	100
8.4.3	PLL 特性	100
8.4.4	I/O AC 特性	100
8.5	模拟特性	102
8.5.1	复位和电源控制特性	102
8.5.2	12-bit SAR ADC	104
8.5.3	数模转换器 (DAC)	106
8.5.4	M029G/M030G内部参考电压	107
8.5.5	M031G内部参考电压	109
8.5.6	温度传感器	109
8.6	通信特性	111
8.6.1	SPI 动态特性	111
8.6.2	I ² C 动态特性	114
8.7	Flash DC 电气特性	115
9	封装尺寸	116
9.1	QFN 24L (3x3x0.9 mm Pitch:0.40 mm).....	116
9.2	QFN 33L (4x4x0.8 mm Pitch:0.40 mm).....	117
10	缩写	118
10.1	缩写	118
11	历史版本	120

图目录

图 4.1-1 M029G/M030G/M031G 系列QFN 24脚框图.....	19
图 4.1-2 M030G/M031G 系列QFN 33脚框图.....	20
图 4.1-3 M029G 系列QFN 24脚多功能引脚框图	21
图 4.1-4 M030G 系列QFN 24脚多功能引脚框图	23
图 4.1-5 M030GTC1AE和M030GTD1AE多功能引脚表.....	25
图 4.1-6 M031G 系列QFN 24脚多功能引脚框图	27
图 4.1-7 M031GTD2AE和M031GTC2AE多功能引脚表.....	29
图 5-1 NuMicro M029G框图	37
图 5-2 NuMicro M030G/M031G框图	37
图 6.1-1 功能框图	38
图 6.2-1 系统复位源	41
图 6.2-2 nRESET 复位波形.....	43
图 6.2-3 上电复位(POR)波形	44
图 6.2-4 低压复位(LVR)波形	44
图 6.2-5 掉电检测 (BOD)波形	45
图 6.2-6 NuMicro® M029G/M030G/M031G电源分布框图.....	46
图 6.2-7 电源模式状态机	48
图 6.2-8 SRAM 内存组织	51
图 6.2-9 NuMicro® M029G/M030G/M031G 总线矩阵图	51
图 6.2-10 温度传感器转换波形.....	52
图 6.2-11 BPWM1_CHn调制MANCH_TXD	54
图 6.3-1 时钟发生器全局示意图	61
图 6.3-2 时钟发生器框图	62
图 6.3-3 系统时钟框图.....	62
图 6.3-4 SysTick 时钟控制框图	63
图 6.3-5 时钟输出框图.....	64
图 8.1-1 焊接概要文件来自于 J-STD-020C	89
图 8.4-1 HIRC vs. 温度	99

图 8.5-1 电源爬升/下降条件.....	103
图 8.5-2 带内部参考电压的典型电路	108
图 8.5-3 带内部参考电压的典型电路	109
图 8.6-1 SPI 主机模式时序图	111
图 8.6-2 SPI 从机模式时序图	113
图 8.6-3 I ² C 时序图.....	114

表目录

表 4.1-1 M029GGC0AE多功能引脚表.....	22
表 4.1-2 M030GGC1AE和M030GGD1AE多功能引脚表.....	24
表 4.1-3 M030GTC1AE和M030GTD1AE多功能引脚表.....	26
表 4.1-4 M031GGD2AE和M031GGC2AE多功能引脚表.....	28
表 4.1-5 M031GTD2AE和M031GTC2AE多功能引脚表.....	30
表 6.2-1 寄存器复位值.....	42
表 6.2-2 DAC复位寄存器的保持值.....	43
表 6.2-3 GPIO 复位寄存器的保持值.....	43
表 6.2-4电源模式表.....	47
表 6.2-5 电源模式差异表.....	47
表 6.2-6 电源模式差异表.....	47
表 6.2-7 不同电源模式下的时钟.....	48
表 6.2-8 再次进入掉电状态的条件.....	49
表 6.2-9 片上控制器地址空间分配.....	50
表 6.2-10 温度数据真值表.....	53
表 6.2-11 异常模式.....	57
表 6.2-12 中断号码表.....	58
表 6.2-13 向量表格式.....	58
表 6.11-1 UART特性.....	73
表 6.19-1外设互连矩阵表.....	82
表 8.1-1 电压特性.....	85
表 8.1-2 电流特性.....	85
表 8.1-3 温度特性.....	86
表 8.1-4 EMC 特性.....	87
表 8.1-5 包装湿度敏感性 (MSL).....	88
表 8.1-6 焊接概要.....	89
表 8.2-1 常规操作条件.....	90
表 8.3-1 正常模式下的电流消耗.....	91
表 8.3-2 空闲模式下的电流消耗.....	92
表 8.3-3 芯片在掉电模式下的电流消耗.....	93
表 8.3-4 外设电流消耗.....	94
表 8.3-5 低功耗模式唤醒时间.....	95
表 8.3-6 I/O 电流注入特性.....	96

表 8.3-7 I/O 输入特性	96
表 8.3-8 I/O 输出特性	97
表 8.3-9 nRESET 输入特性	97
表 8.4-1 48 MHz 内部高速RC 振荡器(HIRC) 特性	98
表 8.4-2 38.4 kHz 内部低速 RC 振荡器(LIRC) 特性	100
表 8.4-3 PLL 特性	100
表 8.4-4 I/O AC 特性	101
表 8.5-1 复位和电源控制单元	102
表 8.6-1 SPI 主机模式特性	111
表 8.6-2 SPI 从机模式特性	112
表 8.6-3 I ² C 特性	114
表 8.7-1 Flash DC 电气特性	115
表 10.1-1 缩写表	119

1 概述

NuMicro M029G/M030G/M031G 32位微控制器系列是为光模块应用而设计的,这些系列都有内置温度传感器,从0°C到70°C的误差在 $\pm 1.6^{\circ}\text{C}$ 以内,从-40°C到105°C的误差在 $\pm 2^{\circ}\text{C}$ 以内。特别是M031G系列支持“调顶”,实现光路网所需的OAM功能。因此,M031G系列配备了高灵活性可编程硬件曼彻斯特编解码器(带CRC)对低频抖动信号进行编码和解码,并配备了1套具有“自动数据生成”功能的DAC,为高达500kHz的光路网络调顶生成平滑的正弦波形。

M029G/M030G/M031G系列基于Arm Cortex-M0内核,带有32位硬件乘法器/除法器。它运行频率高达48/72 MHz,具有32KB和64KB闪存,2KB、4KB和8KB SRAM,2.7V~3.6V工作电压、5V I/O容限,以及-40°C至+105°C的工作温度。

M029G/M030G/M031G系列提供大量外设,包括多达6个32位定时器、1个带有RS485和单线模式的UART、1个SPI、2个支持400 kHz或1 MHz从机模式的I²C以及多达7个PDMA通道,以减轻CPU负荷。此外,这些系列都支持光收发器模块应用程序的I²C引导加载程序,以便通过I²C接口将应用程序代码编程到M029G/M030G/M031G系列MCU中。

M029G/M030G/M031G系列还提供丰富的模拟外设,包括可输出2.5V的内部电压基准、最多16个通道2 MSPS 12位SAR ADC和4组12位DAC。此外,M031G系列中有1套DAC支持自动数据生成功能。

为了满足光模块的小尺寸要求,M029G/M030G/M031G系列提供了QFN 24引脚(3x3 mm)和QFN 33引脚(4x4 mm)小尺寸封装,这两个系列引脚兼容,使系统设计和更换型号更容易。

为支持需要 I²C引导加载程序的光收发器模块应用的用户,M029G/M030G/M031G系列提供基于用户需求的预编程服务。有两个内置I²C引导加载程序版本,由I²C引脚选择区分。

对于开发者,Nuvoton提供NuMaker评估版及Nuvoton Nu-Link除错工具,第三方开发软件支持例如Keil MDK, IAR EWARM以及使用GNU GCC编译器的Eclipse IDE。

1.1 关键特性及应用

* 1 组具有自动数据生成功能的DAC

产品线	UART	I ² C	SPI/ I ² S	Timer	BPWM	PDMA	ADC	DAC	温度传感器	内部 V _{REF}	MANCH 编解码器	CRC
M029G	1	2	1	2	6	5	16	2	√	√	-	√
M030G	1	2	1	2	6	5	16	4	√	√	-	√
M031G	1	2	1	6	6	7	16	4*	√	√	√	√

表 1.1-1 NuMicro M029G/M030G/M031G 系列关键特性支持表

2 特性

2.1 M029G/M030G/M031G 特性

内核和系统	
Arm® Cortex®-M0	• Arm® Cortex®-M0内核，可运行于72 MHz • 内置嵌套式向量中断控制器 (NVIC) • 24位系统节拍定时器 • 可编程可屏蔽中断 • 通过WFI和WFE指令，支持低功耗休眠功能
欠压检测 (BOD)	• 两级BOD选择，带欠压中断及复位(2.7V/2.5V)
低电复位(LVR)	• 2.3V电压阈值的低压复位 (LVR)
安全	• 96位唯一标识符 (UID) • 128位客户唯一标识符 (UCID)
存储器	
Flash	• 64/32KB内置应用代码空间 (APROM) • 2 KB内嵌内存用于用户自定义引导代码 (LDROM) • 512字节不可读加密保护空间(SPROM) • 内嵌内存均支持512 字节页擦除 • CRC校验计算的快速内存编程验证 • 片上Flash支持在线编程 (ICP)、在系统编程 (ISP) 和在应用编程 (IAP) 功能 • 支持通过SWD/ICE接口的2线ICP更新
SRAM	• 内嵌多达8 KB SRAM • 支持字节、半字、字访问 • 支持PDMA模式
循环冗余计算(CRC) —可配置	• 支持8位，16位和32位可配置多项式 • 可编程初始值 • 输入数据和CRC校验和支持可编程顺序反转设置和补码设置 • 8位，16位和32位数据宽度 • 8位写模式1-AHB时钟操作周期 • 16位写模式2-AHB时钟操作周期 • 32位写模式4-AHB时钟操作周期 • 使用DMA在执行CRC操作时写入数据

循环冗余计算(CRC)

- 支持 CRC-CCITT, CRC-8, CRC-16 和 CRC-32 多项式
- 可编程初始值
- 输入数据和 CRC 校验和支持可编程顺序反转设置和补码设置
- 8 位, 16 位和 32 位数据宽度
- 8 位写模式 1-AHB 时钟操作周期
- 16 位写模式 2-AHB 时钟操作周期
- 32 位写模式 4-AHB 时钟操作周期
- 使用DMA在执行CRC操作时写入数据

外设DMA (PDMA)

- 多达7个独立且可配置的通道, 用于在存储器和外围设备之间自动传输数据
- 基本和“Scatter-Gather”传输模式
- 每个通道都支持使用“Scatter-Gather”传输模式的循环缓冲区管理
- 固定优先级和循环优先级模式
- 单一和批量传输类型
- 字节、半字和字传输单元, 计数高达65536
- 递增或固定源地址和目标地址

时钟

内部时钟源

- 48 MHz内部高速RC振荡器 (HIRC)
- 38.4 kHz内部低速RC振荡器 (LIRC)可用于看门狗定时器和唤醒操作
- 高达144 MHz片内PLL, 允许CPU运行到最大CPU频率而不需要高速晶振

定时器

32位定时器

- 6组32位定时器, 带有24位递增计数器和一个独立时钟源的8位预分频计数器
- 单次、周期、反转输出和连续计数运行模式
- 支持来自外部引脚输入的事件计数功能
- 支持脉宽测量和复位24位递增计数器的外部捕获引脚
- 如果定时器中断信号产生, 支持将芯片从空闲/掉电状态唤醒功能

基本PWM (BPWM)

- 带12位时钟预分频的16位计数器, 用于144 MHz PWM输出通道
- 多达6个带16位分辨率计数器的独立输入捕获通道
- 向上、向下或上下PWM计数类型
- 每个PWM通道支持屏蔽功能和三态输出
- 能够触发ADC启动转换

	能够触发DAC启动转换
看门狗	20位向上计数器可用于WDT溢出时间间隔 - 支持多种时钟源来自LIRC (默认选择), HCLK/2048带9个可选超时时间段 - 可在掉电模式或者空闲模式下的唤醒系统 - 看门狗溢出可触发中断或复位芯片 - 支持看门狗定时器复位延时周期, 包括1026、130、18或3个WDT_CLK的复位延时时间 - 芯片上电或者复位时可配置强制WDT使能
窗口看门狗	- 时钟源来自HCLK/2048 (默认) 或LIRC; 窗口设定由11位预分频的6位向下计数器设置 - 在空闲/掉电模式下挂起
模拟接口	
参考电压	- 内部内置的参考电压有2.048V和2.5V两个电压, 供ADC, DAC或外部设备选择 - 支持ADC和DAC参考电压来自内部内置参考电压或外部V_{REF}引脚
ADC	- 模拟输入电压范围: 0 ~ AV_{DD} - 一个12位, 1.4 MSPS (M029G/M030G)或2 MSPS (M031G) SAR ADC, 最多16个单端输入通道或8对差分输入; 10位精度保证 - 带隙电压V_{BG}由内部通道输入 - 支持外部V_{REF}引脚或内部内置参考电压 - 支持校准功能 - 四种操作模式: 单次模式, Burst模式, 单周期扫描模式和连续扫描模式 - 模拟到数字转换可被软件触发 (ADST), 外部引脚 (STADC), 定时器0~1溢出脉冲和BPWM1触发 - 每个通道的转换结果存储在相应数据寄存器内, 并带有有效和覆盖标志 - 支持通过比较模式功能监视转换结果 - 可配置ADC外部采样时间 - PDMA操作 - 支持浮空检测功能
DAC	- 模拟输入电压范围: 0 ~ AV_{DD} - 支持4个12位, 1 MSPS 电压型DAC - 支持12位或8位输出模式 - 支持外部V_{REF} 引脚或内部内置参考电压 - 数字到模拟转换可被软件触发 (ADST), 外部引脚 (STADC), 定时器0~5溢出脉冲和BPWM1触发

	• 支持PDMA模式 • 支持两个DAC同步更新功能的组模式 • 系统复位时支持DAC输出保留 • 1个DAC支持M031G系列自动数据生成功能
温度传感器	• 内置校准温度传感器 • 支持温度范围: -40°C to 105°C • 精准度: $\pm 2^{\circ}\text{C}$
通讯接口	
低功耗UART	• 低功耗UART可达7.2 MHz波特率 • 自动波特率测量功能 • 支持低功耗UART (LPUART):掉电模式下即使系统时钟停止, 时钟源来自LIRC (38.4 kHz)时波特率可为9600bps • 1字节 FIFO带可编程电平触发 • 自动流控制(nCTS和nRTS) • 支持IrDA (SIR) 功能 • 支持RS-485 9位模式和方向控制 • 支持空闲模式下nCTS和传入数据唤醒功能 • 支持硬件或软件, 可编程nRTS引脚控制RS-485传输方向 • 支持唤醒功能 • 8位接收FIFO超时检测功能 • 支持break错误、帧错误、奇偶校验错误和接收/发送FIFO溢出检测功能 • PDMA操作 • 支持单线功能模式
I ² C	• 支持2组I²C 主机/从机模式的设备 • 支持标准模式(100 kbps),快速模式(400 kbps) • 支持快速加模式 (1 Mbps) (M030G/M031G) • 支持7位模式 • 可配置时钟以适用于可变速率控制 • 支持多地址识别(4组从机地址带mask选项) • 支持多地址掉电唤醒功能 • PDMA操作 • 支持在无延展模式下接收连续数据字节

	支持内置I²C引导加载程序
SPI	- 系统电压为2.7V~3.6V时，主机模式可达36 MHz，从机模式可达16 MHz - 可配置传输位长可为8到32位 - 提供独立的4级32位（或8级16位）收发FIFO缓存，实际数据位长由SPI的设置决定 - 支持高位优先（MSB）或低位优先(LSB)时序 - 支持字节重排功能 - 支持字节或字暂停模式 - 支持一数据通道半双工传输 - 支持仅接收模式 - PDMA操作
GPIO	- 支持四种I/O模式：准双向，推挽输出，开漏输出和高阻输入模式 - 可配置中断源为边沿/电平触发 - 支持5V容限功能除了模拟I/O (PA.0 ~ PA.3, PB.0~PB.15, PF0) - 使能引脚中断将使能引脚唤醒功能 - 施密特触发输入功能 - 支持独立上拉控制
曼彻斯特编解码器	- 支持编码/解码曼彻斯特码 - 支持不同的调制信号格式 - 可编程空闲模式 - 可编程前导码样式及其传输数目 - 可编程帧数据大小 - 支持可配置的曼彻斯特比特率 - 支持可选择的消抖时间功能 - 支持接收/发送使用PDMA - 支持曼彻斯特编码边沿功能触发定时器控制器

3 料号信息

3.1 封装类型

封装不含卤素，符合 RoHS 和 TSCA 要求。

QFN24	QFN33
M029GGC0AE	M030GTC1AE
M030GGC1AE	M030GTD1AE
M030GGD1AE	M031GTC2AE
M031GGC2AE	M031GTD2AE
M031GGD2AE	

3.2 M029G/M030G/M031G 系列命名规则

M0	30G	T	D	1	A	E
内核	产品线	封装	Flash	SRAM	保留	温度
Cortex-M0	29: 入门 30: 基本 31: 带曼彻斯特编解码	G: QFN24 (3x3x0.9 mm) T: QFN33 (4x4x0.8 mm)	C: 32 KB D: 64 KB	0: 2 KB 1: 4 KB 2: 8 KB		E:-40°C ~ 105°C

3.3 M029G/M030G/M031G 系列选择指南

料号		M029G	M030G				M031G			
		GC0AE	GC1AE	GD1AE	TC1AE	TD1AE	GC2AE	GD2AE	TC2AE	TD2AE
Flash (KB)		32	32	64	32	64	32	64	32	64
SRAM (KB)		2	4				8			
LDROM (KB)		2	2				2			
SPROM (字节)		512	512				512			
系统频率 (MHz)		48	48				72			
PLL (MHz)		-	-				144			
I/O		19	19		28		19		28	
32-bit Timer		2	2				6			
连通性	UART	1	1				1			
	SPI/I ² S	1	1				1			
	I ² C/SMBus	2	2				2			
	Manchester	-	-				√			
BPWM		6	6				6			
PDMA		5	5				7			
CRC		√	√				-			
CRC-可配置		-	-				√			
12位SAR ADC		11	11		16		11		16	
12位 DAC		2	4				4*			
温度传感器		√	√				√			
内部参考电压		√	√				√			
封装		QFN24	QFN24		QFN33		QFN24		QFN33	

DAC*: 1组支持自动数据生成功能

4 引脚配置

用户可以在M029G/M030G/M031G系列多功能一览表章节或使用[NuTool - PinConfigure](#)找到引脚配置信息。NuTool-PinConfigure包含NuMicro®家族系列所有型号的芯片，帮助用户正确、方便地配置多功能GPIO。

4.1 引脚配置

4.1.1 M029G/M030G/M031G 系列引脚框图

4.1.1.1 M029G/M030G/M031G 系列QFN 24脚框图

对应料号: M029GGC0AE, M030GGC1AE, M030GGD1AE, M031GGD2AE, M031GGC2AE。

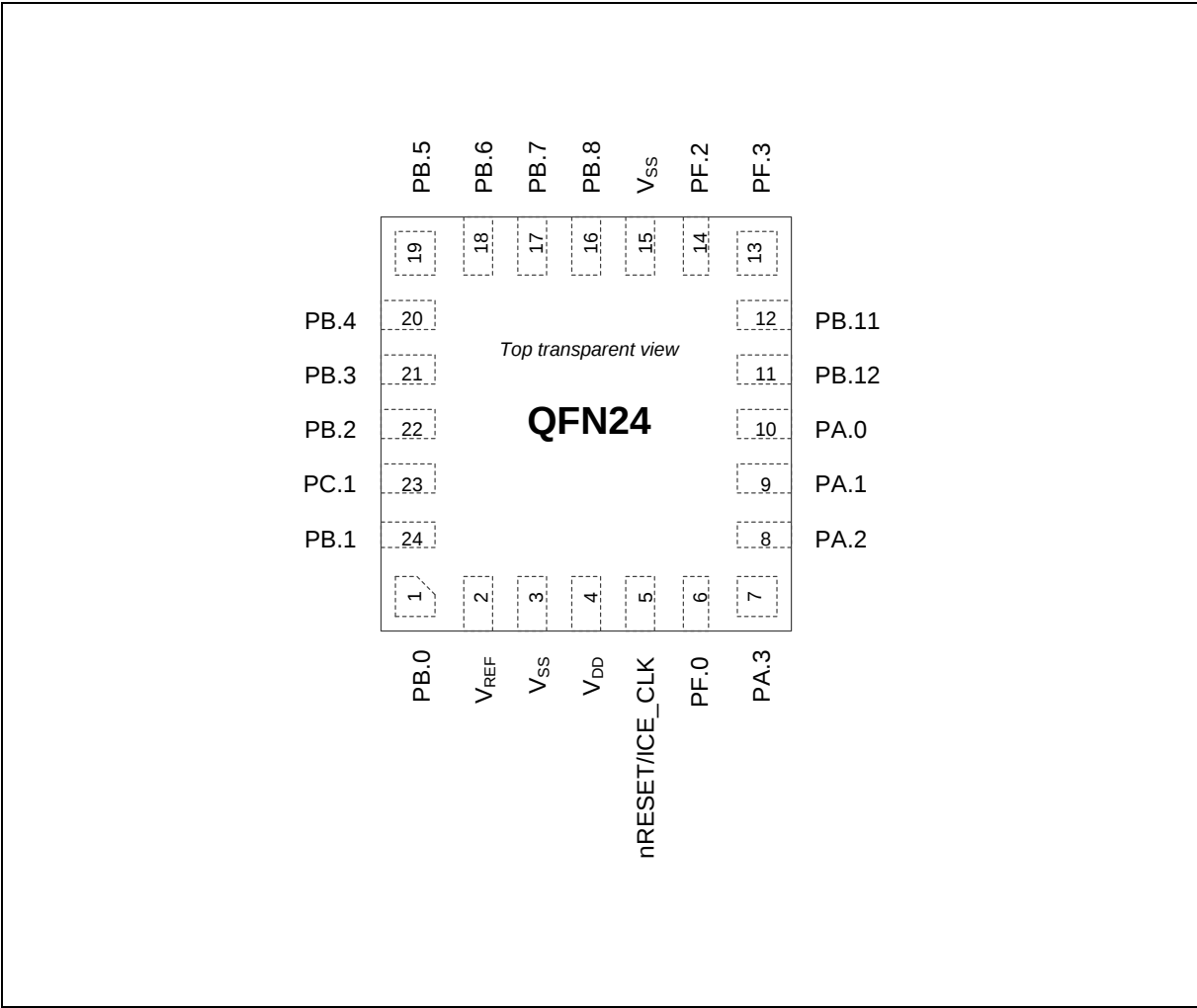


图 4.1-1 M029G/M030G/M031G 系列 QFN 24 脚框图

4.1.1.2 M030G/M031G 系列QFN 33脚框图

对应料号: M030GTC1AE, M030GTD1AE, M031GTD2AE, M031GTC2AE。

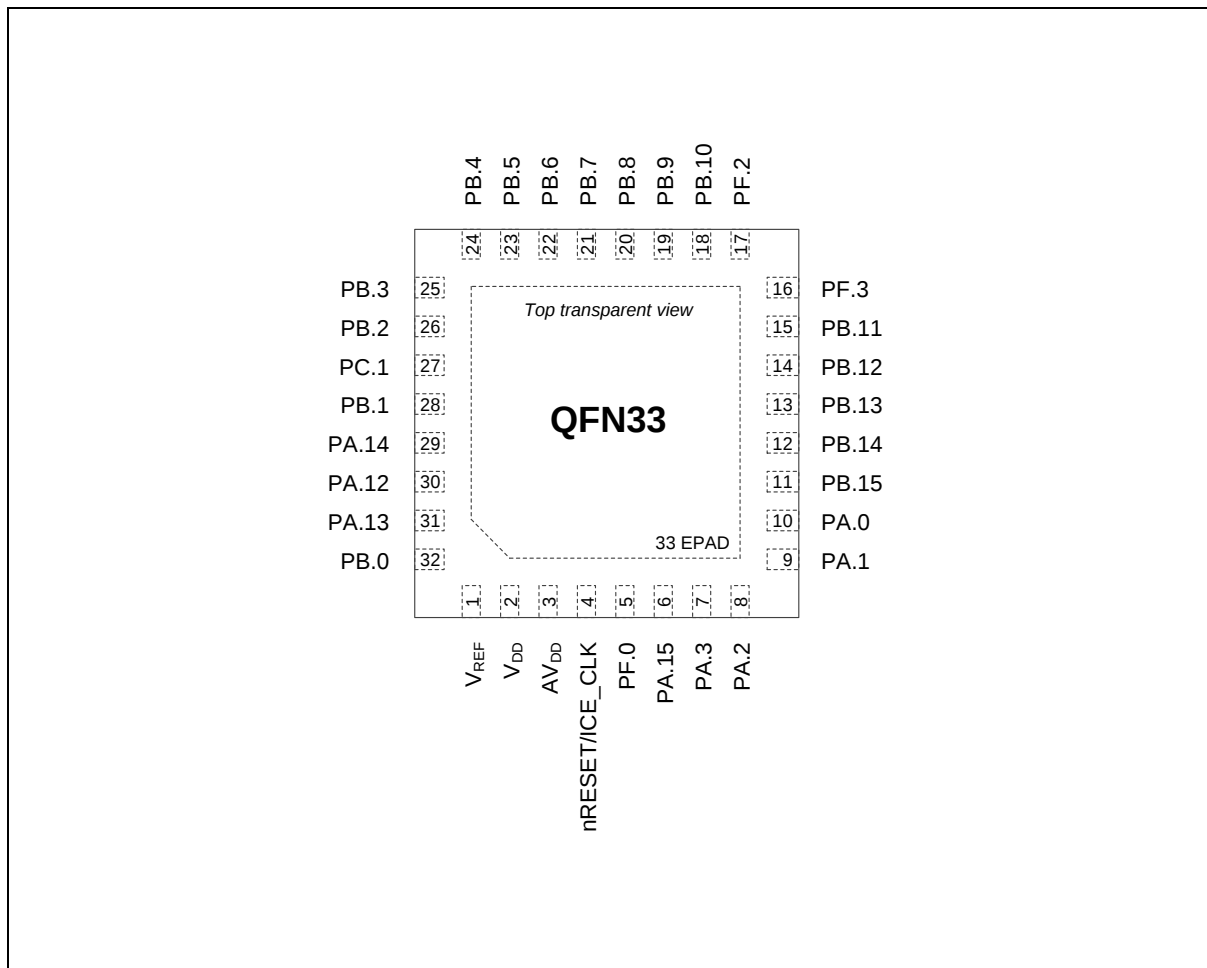


图 4.1-2 M030G/M031G 系列 QFN 33 脚框图

4.1.2 M029G 系列多功能引脚框图

4.1.2.1 M029G 系列QFN 24脚多功能引脚框图

对应料号: M029GGC0AE。

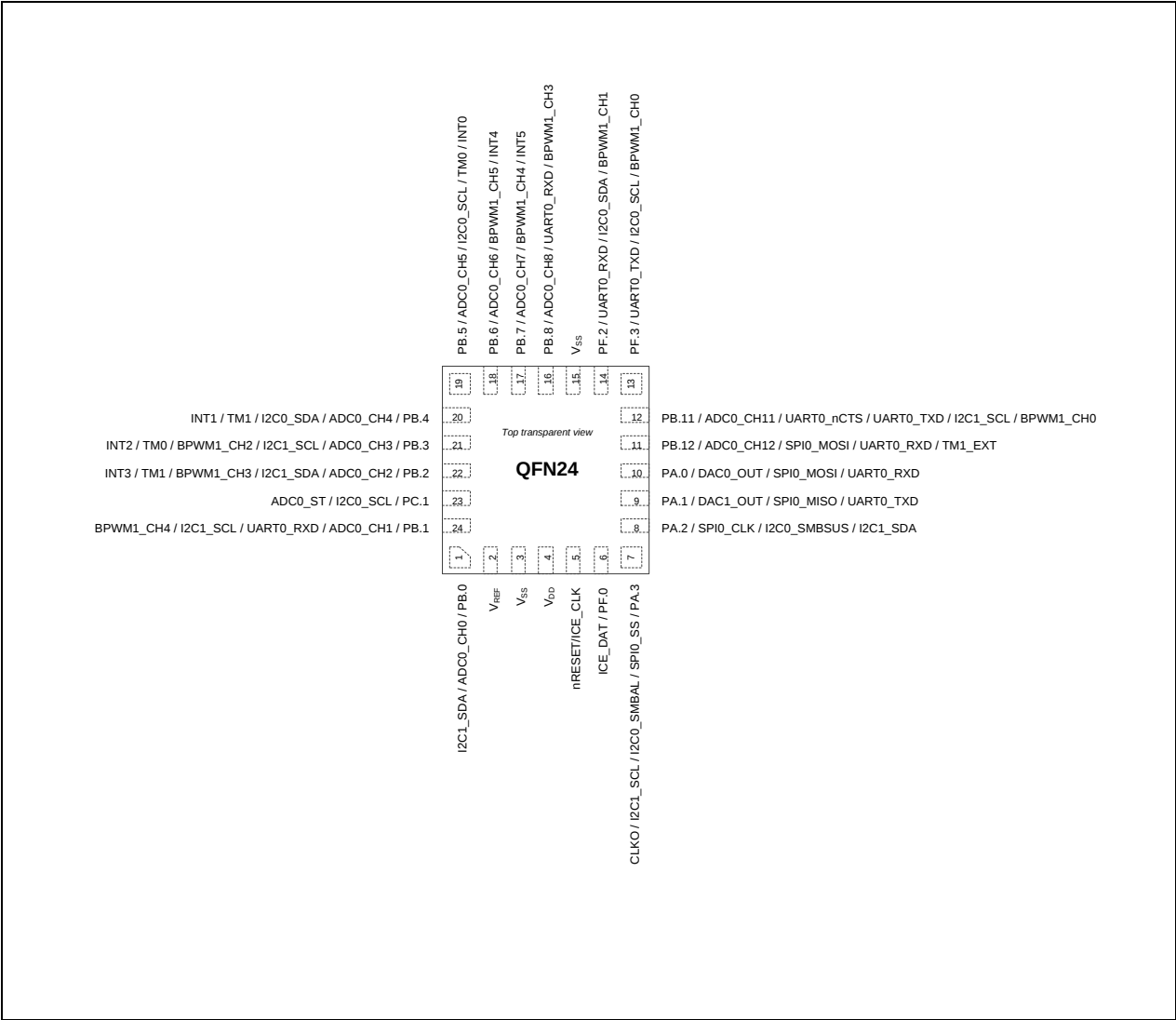


图 4.1-3 M029G 系列 QFN 24 脚多功能引脚框图

引脚	引脚功能
1	PB.0 / ADC0_CH0 / I2C1_SDA
2	V _{REF}
3	V _{SS}
4	V _{DD}
5	nRESET/ICE_CLK
6	PF.0 / ICE_DAT
7	PA.3 / SPI0_SS / I2C0_SMBAL / I2C1_SCL / CLK0

引脚	引脚功能
8	PA.2 / SPI0_CLK / I2C0_SMBUS / I2C1_SDA
9	PA.1 / DAC1_OUT / SPI0_MISO / UART0_TXD
10	PA.0 / DAC0_OUT / SPI0_MOSI / UART0_RXD
11	PB.12 / ADC0_CH12 / SPI0_MOSI / UART0_RXD / TM1_EXT
12	PB.11 / ADC0_CH11 / UART0_nCTS / UART0_TXD / I2C1_SCL / BPWM1_CH0
13	PF.3 / UART0_TXD / I2C0_SCL / BPWM1_CH0
14	PF.2 / UART0_RXD / I2C0_SDA / BPWM1_CH1
15	V _{SS}
16	PB.8 / ADC0_CH8 / UART0_RXD / BPWM1_CH3
17	PB.7 / ADC0_CH7 / BPWM1_CH4 / INT5
18	PB.6 / ADC0_CH6 / BPWM1_CH5 / INT4
19	PB.5 / ADC0_CH5 / I2C0_SCL / TM0 / INT0
20	PB.4 / ADC0_CH4 / I2C0_SDA / TM1 / INT1
21	PB.3 / ADC0_CH3 / I2C1_SCL / BPWM1_CH2 / TM0 / INT2
22	PB.2 / ADC0_CH2 / I2C1_SDA / BPWM1_CH3 / TM1 / INT3
23	PC.1 / I2C0_SCL / ADC0_ST
24	PB.1 / ADC0_CH1 / UART0_RXD / I2C1_SCL / BPWM1_CH4

表 4.1-1 M029GGC0AE 多功能引脚表

4.1.3 M030G 系列多功能引脚框图

4.1.3.1 M030G 系列QFN 24脚多功能引脚框图

对应料号: M030GGC1AE, M030GGD1AE。

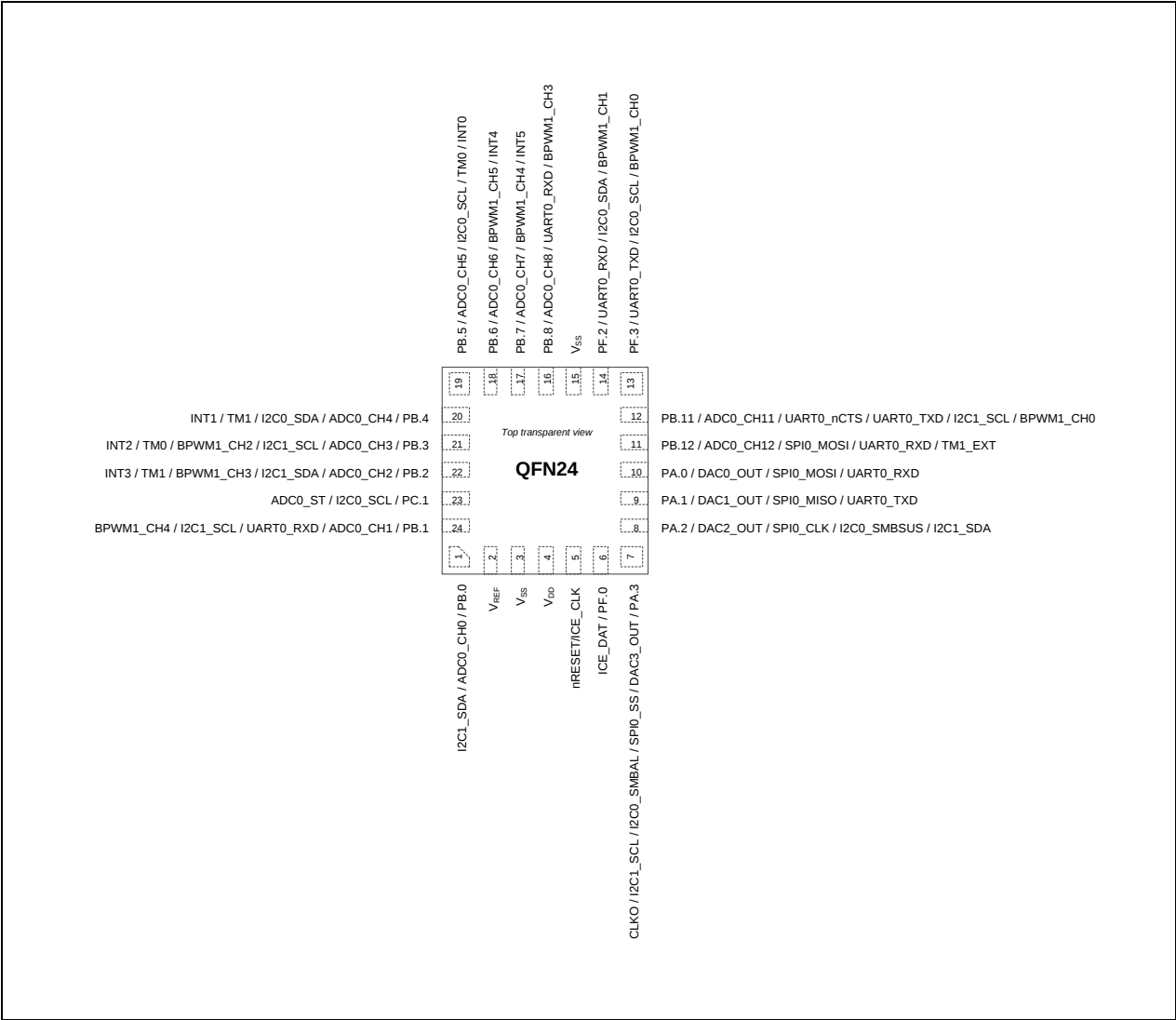


图 4.1-4 M030G 系列 QFN 24 脚多功能引脚框图

引脚	引脚功能
1	PB.0 / ADC0_CH0 / I2C1_SDA
2	V _{REF}
3	V _{SS}
4	V _{DD}
5	nRESET/ICE_CLK
6	PF.0 / ICE_DAT
7	PA.3 / DAC3_OUT / SPI0_SS / I2C0_SMBAL / I2C1_SCL / CLK0

引脚	引脚功能
8	PA.2 / DAC2_OUT / SPI0_CLK / I2C0_SMBSUS / I2C1_SDA
9	PA.1 / DAC1_OUT / SPI0_MISO / UART0_TXD
10	PA.0 / DAC0_OUT / SPI0_MOSI / UART0_RXD
11	PB.12 / ADC0_CH12 / SPI0_MOSI / UART0_RXD / TM1_EXT
12	PB.11 / ADC0_CH11 / UART0_nCTS / UART0_TXD / I2C1_SCL / BPWM1_CH0
13	PF.3 / UART0_TXD / I2C0_SCL / BPWM1_CH0
14	PF.2 / UART0_RXD / I2C0_SDA / BPWM1_CH1
15	V _{SS}
16	PB.8 / ADC0_CH8 / UART0_RXD / BPWM1_CH3
17	PB.7 / ADC0_CH7 / BPWM1_CH4 / INT5
18	PB.6 / ADC0_CH6 / BPWM1_CH5 / INT4
19	PB.5 / ADC0_CH5 / I2C0_SCL / TM0 / INT0
20	PB.4 / ADC0_CH4 / I2C0_SDA / TM1 / INT1
21	PB.3 / ADC0_CH3 / I2C1_SCL / BPWM1_CH2 / TM0 / INT2
22	PB.2 / ADC0_CH2 / I2C1_SDA / BPWM1_CH3 / TM1 / INT3
23	PC.1 / I2C0_SCL / ADC0_ST
24	PB.1 / ADC0_CH1 / UART0_RXD / I2C1_SCL / BPWM1_CH4

表 4.1-2 M030GGC1AE 和 M030GGD1AE 多功能引脚表

4.1.3.2 M030G 系列QFN 33脚多功能引脚框图

对应料号: M030GTC1AE, M030GTD1AE。

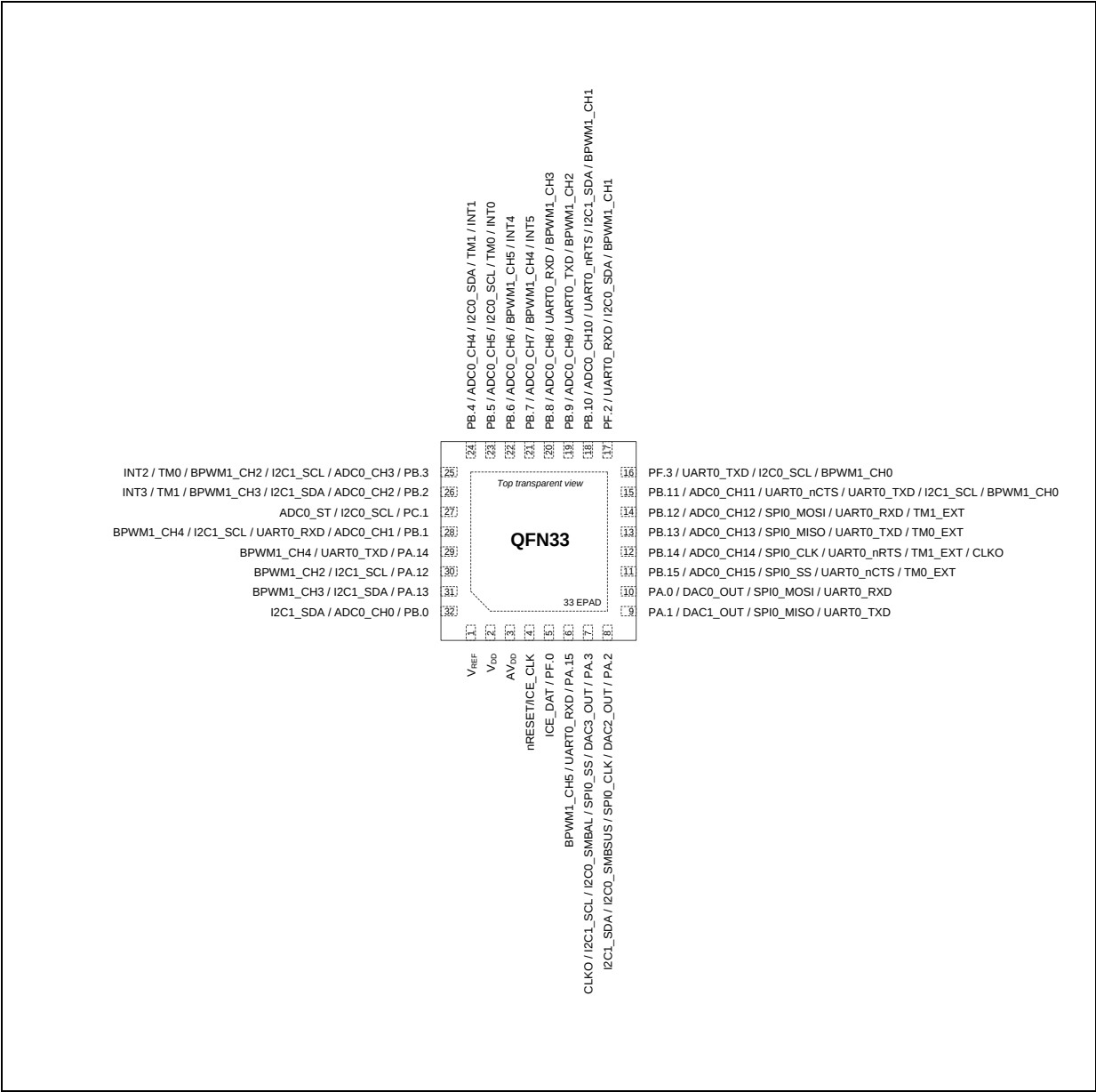


图 4.1-5 M030GTC1AE 和 M030GTD1AE 多功能引脚表

引脚	引脚功能
1	V _{REF}
2	V _{DD}
3	AV _{DD}
4	nRESET/ICE_CLK
5	PF.0 / ICE_DAT

引脚	引脚功能
6	PA.15 / UART0_RXD / BPWM1_CH5
7	PA.3 / DAC3_OUT / SPI0_SS / I2C0_SMBAL / I2C1_SCL / CLK0
8	PA.2 / DAC2_OUT / SPI0_CLK / I2C0_SMBUS / I2C1_SDA
9	PA.1 / DAC1_OUT / SPI0_MISO / UART0_TXD
10	PA.0 / DAC0_OUT / SPI0_MOSI / UART0_RXD
11	PB.15 / ADC0_CH15 / SPI0_SS / UART0_nCTS / TM0_EXT
12	PB.14 / ADC0_CH14 / SPI0_CLK / UART0_nRTS / TM1_EXT / CLK0
13	PB.13 / ADC0_CH13 / SPI0_MISO / UART0_TXD / TM0_EXT
14	PB.12 / ADC0_CH12 / SPI0_MOSI / UART0_RXD / TM1_EXT
15	PB.11 / ADC0_CH11 / UART0_nCTS / UART0_TXD / I2C1_SCL / BPWM1_CH0
16	PF.3 / UART0_TXD / I2C0_SCL / BPWM1_CH0
17	PF.2 / UART0_RXD / I2C0_SDA / BPWM1_CH1
18	PB.10 / ADC0_CH10 / UART0_nRTS / I2C1_SDA / BPWM1_CH1
19	PB.9 / ADC0_CH9 / UART0_TXD / BPWM1_CH2
20	PB.8 / ADC0_CH8 / UART0_RXD / BPWM1_CH3
21	PB.7 / ADC0_CH7 / BPWM1_CH4 / INT5
22	PB.6 / ADC0_CH6 / BPWM1_CH5 / INT4
23	PB.5 / ADC0_CH5 / I2C0_SCL / TM0 / INT0
24	PB.4 / ADC0_CH4 / I2C0_SDA / TM1 / INT1
25	PB.3 / ADC0_CH3 / I2C1_SCL / BPWM1_CH2 / TM0 / INT2
26	PB.2 / ADC0_CH2 / I2C1_SDA / BPWM1_CH3 / TM1 / INT3
27	PC.1 / I2C0_SCL / ADC0_ST
28	PB.1 / ADC0_CH1 / UART0_RXD / I2C1_SCL / BPWM1_CH4
29	PA.14 / UART0_TXD / BPWM1_CH4
30	PA.12 / I2C1_SCL / BPWM1_CH2
31	PA.13 / I2C1_SDA / BPWM1_CH3
32	PB.0 / ADC0_CH0 / I2C1_SDA
33	EPAD

表 4.1-3 M030GTC1AE 和 M030GTD1AE 多功能引脚表

4.1.4 M031G 系列多功能引脚框图

4.1.4.1 M031G 系列QFN 24脚多功能引脚框图

对应料号: M031GGD2AE, M031GGC2AE。

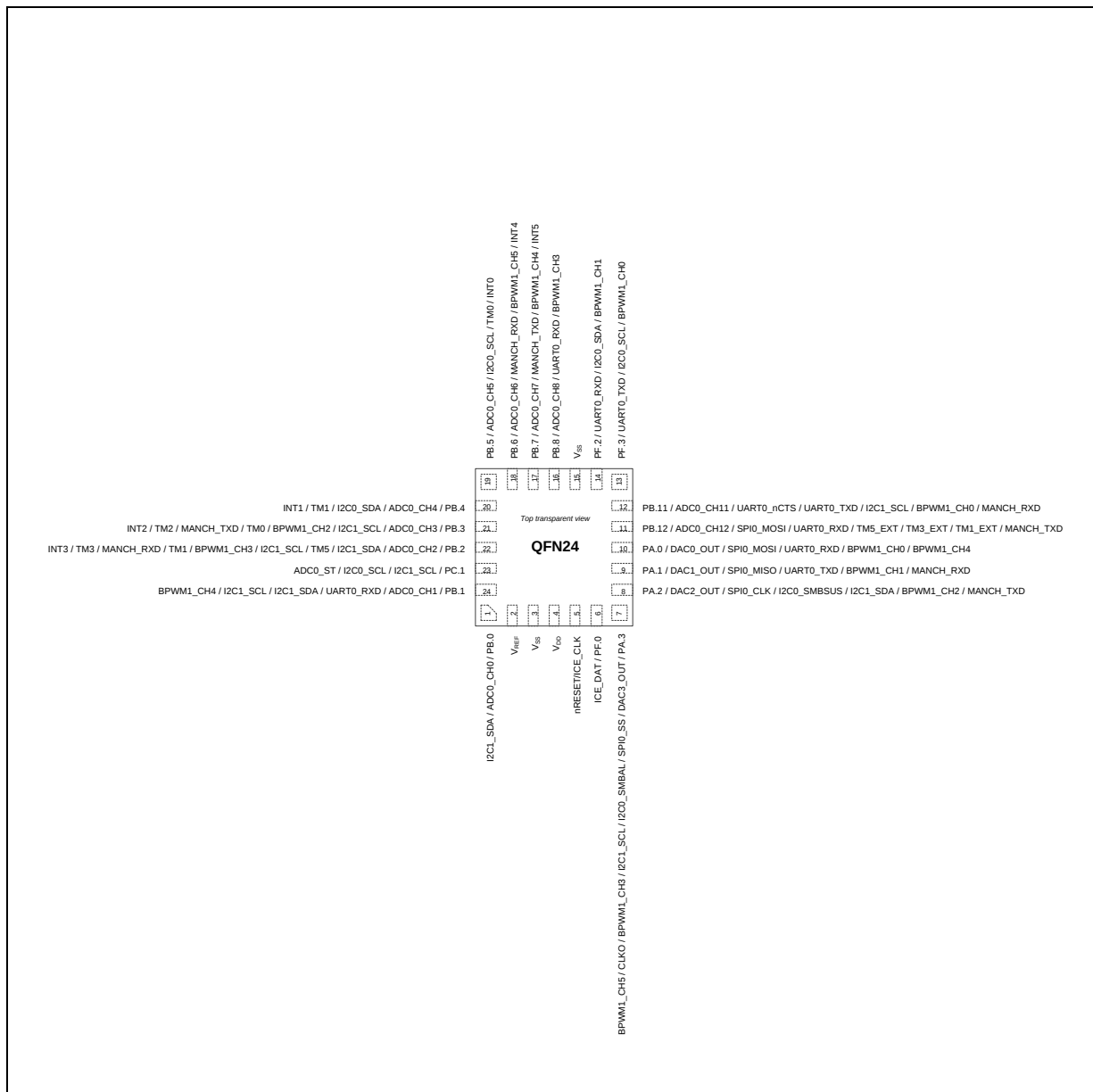


图 4.1-6 M031G 系列 QFN 24 脚多功能引脚框图

引脚	引脚功能
1	PB.0 / ADC0_CH0 / I2C1_SDA
2	V _{REF}
3	V _{SS}
4	V _{DD}

引脚	引脚功能
5	nRESET/ICE_CLK
6	PF.0 / ICE_DAT
7	PA.3 / DAC3_OUT / SPI0_SS / I2C0_SMBAL / I2C1_SCL / BPWM1_CH3 / CLKO / BPWM1_CH5
8	PA.2 / DAC2_OUT / SPI0_CLK / I2C0_SMBUS / I2C1_SDA / BPWM1_CH2 / MANCH_TXD
9	PA.1 / DAC1_OUT / SPI0_MISO / UART0_TXD / BPWM1_CH1 / MANCH_RXD
10	PA.0 / DAC0_OUT / SPI0_MOSI / UART0_RXD / BPWM1_CH0 / BPWM1_CH4
11	PB.12 / ADC0_CH12 / SPI0_MOSI / UART0_RXD / TM5_EXT / TM3_EXT / TM1_EXT / MANCH_TXD
12	PB.11 / ADC0_CH11 / UART0_nCTS / UART0_TXD / I2C1_SCL / BPWM1_CH0 / MANCH_RXD
13	PF.3 / UART0_TXD / I2C0_SCL / BPWM1_CH0
14	PF.2 / UART0_RXD / I2C0_SDA / BPWM1_CH1
15	V _{SS}
16	PB.8 / ADC0_CH8 / UART0_RXD / BPWM1_CH3
17	PB.7 / ADC0_CH7 / MANCH_TXD / BPWM1_CH4 / INT5
18	PB.6 / ADC0_CH6 / MANCH_RXD / BPWM1_CH5 / INT4
19	PB.5 / ADC0_CH5 / I2C0_SCL / TM0 / INT0
20	PB.4 / ADC0_CH4 / I2C0_SDA / TM1 / INT1
21	PB.3 / ADC0_CH3 / I2C1_SCL / BPWM1_CH2 / TM0 / MANCH_TXD / TM2 / INT2
22	PB.2 / ADC0_CH2 / I2C1_SDA / TM5 / I2C1_SCL / BPWM1_CH3 / TM1 / MANCH_RXD / TM3 / INT3
23	PC.1 / I2C1_SCL / I2C0_SCL / ADC0_ST
24	PB.1 / ADC0_CH1 / UART0_RXD / I2C1_SDA / I2C1_SCL / BPWM1_CH4

表 4.1-4 M031GGD2AE 和 M031GGC2AE 多功能引脚表

4.1.4.2 M031G 系列QFN 33脚多功能引脚框图

对应料号: M031GTD2AE, M031GTC2AE。

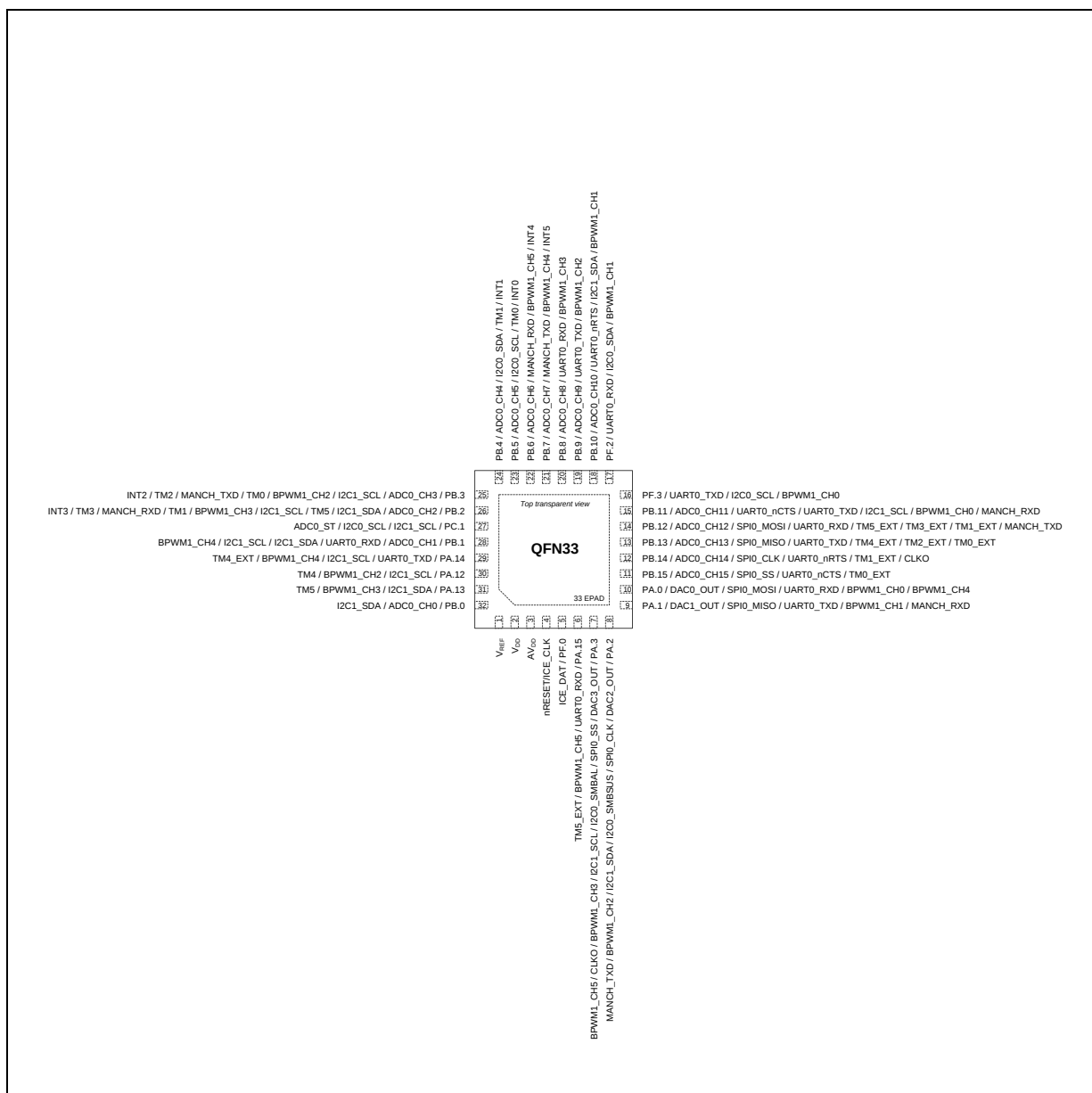


图 4.1-7 M031GTD2AE 和 M031GTC2AE 多功能引脚表

引脚	引脚功能
1	V _{REF}
2	V _{DD}
3	AV _{DD}
4	nRESET/ICE_CLK
5	PF.0 / ICE_DAT

引脚	引脚功能
6	PA.15 / UART0_RXD / BPWM1_CH5 / TM5_EXT
7	PA.3 / DAC3_OUT / SPI0_SS / I2C0_SMBAL / I2C1_SCL / BPWM1_CH3 / CLKO / BPWM1_CH5
8	PA.2 / DAC2_OUT / SPI0_CLK / I2C0_SMBUS / I2C1_SDA / BPWM1_CH2 / MANCH_TXD
9	PA.1 / DAC1_OUT / SPI0_MISO / UART0_TXD / BPWM1_CH1 / MANCH_RXD
10	PA.0 / DAC0_OUT / SPI0_MOSI / UART0_RXD / BPWM1_CH0 / BPWM1_CH4
11	PB.15 / ADC0_CH15 / SPI0_SS / UART0_nCTS / TM0_EXT
12	PB.14 / ADC0_CH14 / SPI0_CLK / UART0_nRTS / TM1_EXT / CLKO
13	PB.13 / ADC0_CH13 / SPI0_MISO / UART0_TXD / TM4_EXT / TM2_EXT / TM0_EXT
14	PB.12 / ADC0_CH12 / SPI0_MOSI / UART0_RXD / TM5_EXT / TM3_EXT / TM1_EXT / MANCH_TXD
15	PB.11 / ADC0_CH11 / UART0_nCTS / UART0_TXD / I2C1_SCL / BPWM1_CH0 / MANCH_RXD
16	PF.3 / UART0_TXD / I2C0_SCL / BPWM1_CH0
17	PF.2 / UART0_RXD / I2C0_SDA / BPWM1_CH1
18	PB.10 / ADC0_CH10 / UART0_nRTS / I2C1_SDA / BPWM1_CH1
19	PB.9 / ADC0_CH9 / UART0_TXD / BPWM1_CH2
20	PB.8 / ADC0_CH8 / UART0_RXD / BPWM1_CH3
21	PB.7 / ADC0_CH7 / MANCH_TXD / BPWM1_CH4 / INT5
22	PB.6 / ADC0_CH6 / MANCH_RXD / BPWM1_CH5 / INT4
23	PB.5 / ADC0_CH5 / I2C0_SCL / TM0 / INT0
24	PB.4 / ADC0_CH4 / I2C0_SDA / TM1 / INT1
25	PB.3 / ADC0_CH3 / I2C1_SCL / BPWM1_CH2 / TM0 / MANCH_TXD / TM2 / INT2
26	PB.2 / ADC0_CH2 / I2C1_SDA / TM5 / I2C1_SCL / BPWM1_CH3 / TM1 / MANCH_RXD / TM3 / INT3
27	PC.1 / I2C1_SCL / I2C0_SCL / ADC0_ST
28	PB.1 / ADC0_CH1 / UART0_RXD / I2C1_SDA / I2C1_SCL / BPWM1_CH4
29	PA.14 / UART0_TXD / I2C1_SCL / BPWM1_CH4 / TM4_EXT
30	PA.12 / I2C1_SCL / BPWM1_CH2 / TM4
31	PA.13 / I2C1_SDA / BPWM1_CH3 / TM5
32	PB.0 / ADC0_CH0 / I2C1_SDA
33	EPAD

表 4.1-5 M031GTD2AE 和 M031GTC2AE 多功能引脚表

4.2 引脚映射

同一个封装的不同型号可能具有不同的功能。请参阅M029G/M030G/M031G选型指南，引脚配置章节或[NuTool - PinConfig](#)。

对应料号: M029GxC, M030GxC, M030GxD, M031GxC, M031GxD系列。

	M029G/M030G/M031G系列	
引脚名称	24脚	33脚
V _{REF}	2	1
V _{SS}	3	
V _{DD}	4	2
A _{VDD}		3
nRESET/ICE_CLK	5	4
PF.0	6	5
PA.15		6
PA.3	7	7
PA.2	8	8
PA.1	9	9
PA.0	10	10
PB.15		11
PB.14		12
PB.13		13
PB.12	11	14
PB.11	12	15
PF.3	13	16
PF.2	14	17
PB.10		18
PB.9		19
V _{SS}	15	
PB.8	16	20
PB.7	17	21
PB.6	18	22
PB.5	19	23
PB.4	20	24
PB.3	21	25
PB.2	22	26

PC.1	23	27
PB.1	24	28
PA.14		29
PA.12		30
PA.13		31
PB.0	1	32
EPAD		33

4.3 引脚功能描述

对应料号: M029GxC, M030GxC, M030GxD, M031GxC, M031GxD系列。

组	引脚名称	类型	描述
ADC0	ADC0_CH0	A	ADC0 通道0 模拟输入
	ADC0_CH1	A	ADC0 通道1 模拟输入
	ADC0_CH2	A	ADC0 通道2 模拟输入
	ADC0_CH3	A	ADC0 通道3 模拟输入
	ADC0_CH4	A	ADC0 通道4 模拟输入
	ADC0_CH5	A	ADC0 通道5 模拟输入
	ADC0_CH6	A	ADC0 通道6 模拟输入
	ADC0_CH7	A	ADC0 通道7 模拟输入
	ADC0_CH8	A	ADC0 通道8 模拟输入
	ADC0_CH9	A	ADC0 通道9 模拟输入
	ADC0_CH10	A	ADC0 通道10 模拟输入
	ADC0_CH11	A	ADC0 通道11 模拟输入
	ADC0_CH12	A	ADC0 通道12 模拟输入
	ADC0_CH13	A	ADC0 通道13 模拟输入
	ADC0_CH14	A	ADC0 通道14 模拟输入
	ADC0_CH15	A	ADC0 通道15 模拟输入
	ADC0_ST	I	ADC0 外部触发输入脚
BPWM1	BPWM1_CH0	I/O	BPWM1 通道0 输出/捕获输入脚
	BPWM1_CH1	I/O	BPWM1 通道1 输出/捕获输入脚

组	引脚名称	类型	描述
	BPWM1_CH2	I/O	BPWM1 通道2 输出/捕获输入脚
	BPWM1_CH3	I/O	BPWM1 通道3 输出/捕获输入脚
	BPWM1_CH4	I/O	BPWM1 通道4 输出/捕获输入脚
	BPWM1_CH5	I/O	BPWM1 通道5 输出/捕获输入脚
CLKO	CLKO	O	时钟输出
DAC0	DAC0_OUT	A	DAC0 通道模拟输出
DAC1	DAC1_OUT	A	DAC1 通道模拟输出
DAC2	DAC2_OUT	A	DAC2 通道模拟输出
DAC3	DAC3_OUT	A	DAC3 通道模拟输出
I2C0	I2C0_SCL	I/O	I2C0时钟脚
	I2C0_SDA	I/O	I2C0数据输入/输出脚
	I2C0_SMBAL	O	I2C0 SMBus SMBALTER脚
	I2C0_SMBSUS	O	I2C0 SMBus SMBSUS脚(PMBus CONTROL脚)
I2C1	I2C1_SCL	I/O	I2C1时钟脚
	I2C1_SDA	I/O	I2C1数据输入/输出脚
ICE	ICE_CLK	I	串行调试器时钟脚 注: 建议在ICE_CLK脚上外挂100 k Ω 上拉电阻
	nRESET /ICE_DAT	I/O	nRESET : 外部复位输入,低有效, 内部有上拉。设置该引脚为低将复位芯片为初始状态。 ICE_DAT : 串行调试器数据脚。 注: 建议在ICE_DAT脚上外挂100 k Ω 上拉电阻
INT0	INT0	I	外部中断0输入脚
INT1	INT1	I	外部中断1输入脚
INT2	INT2	I	外部中断2输入脚

组	引脚名称	类型	描述
INT3	INT3	I	外部中断3输入脚
INT4	INT4	I	外部中断4输入脚
INT5	INT5	I	外部中断5输入脚
MANCH	MANCH_RXD	I	曼彻斯特数据接收输入引脚
	MANCH_TXD	O	曼彻斯特数据发送输出引脚
Power	V _{DD}	P	为I/O端口和LDO电源提供电力，LDO电源为内部PLL和数字电路供电
	V _{SS}	P	数字电路地
	AV _{DD}	P	内部模拟电路电源
	AV _{SS}	P	模拟电路地
	V _{REF}	A	ADC 和DAC参考电压输入 注: 该引脚需要外接1uF电容。
	EPAD	P	作为接地引脚的焊盘(V _{SS})。
SPI0	SPI0_CLK	I/O	SPI0 串行时钟引脚
	SPI0_MISO	I/O	SPI0 MISO (主机输入, 从机输出) 引脚
	SPI0_MOSI	I/O	SPI0 MOSI (主机输出, 从机输入) 引脚
	SPI0_SS	I/O	SPI0 从机片选引脚
TM0	TM0	I/O	Timer0 事件计数器输入/翻转输出脚
	TM0_EXT	I/O	Timer0 外部捕获输入/翻转输出脚
TM1	TM1	I/O	Timer1 事件计数器输入/翻转输出脚
	TM1_EXT	I/O	Timer1 外部捕获输入/翻转输出脚
TM2	TM2	I/O	Timer2 事件计数器输入/翻转输出脚
	TM2_EXT	I/O	Timer2 外部捕获输入/翻转输出脚

组	引脚名称	类型	描述
TM3	TM3	I/O	Timer3 事件计数器输入/翻转输出脚
	TM3_EXT	I/O	Timer3 外部捕获输入/翻转输出脚
TM4	TM4	I/O	Timer4 事件计数器输入/翻转输出脚
	TM4_EXT	I/O	Timer4 外部捕获输入/翻转输出脚
TM5	TM5	I/O	Timer5 事件计数器输入/翻转输出脚
	TM5_EXT	I/O	Timer5 外部捕获输入/翻转输出脚
UART0	UART0_RXD	I	UART0 数据接收器输入引脚
	UART0_TXD	O	UART0 数据发送器输出引脚
	UART0_nCTS	I	UART0 清除发送输入引脚
	UART0_nRTS	O	UART0 请求发送输出引脚

5 框图

5.1 M029G框图

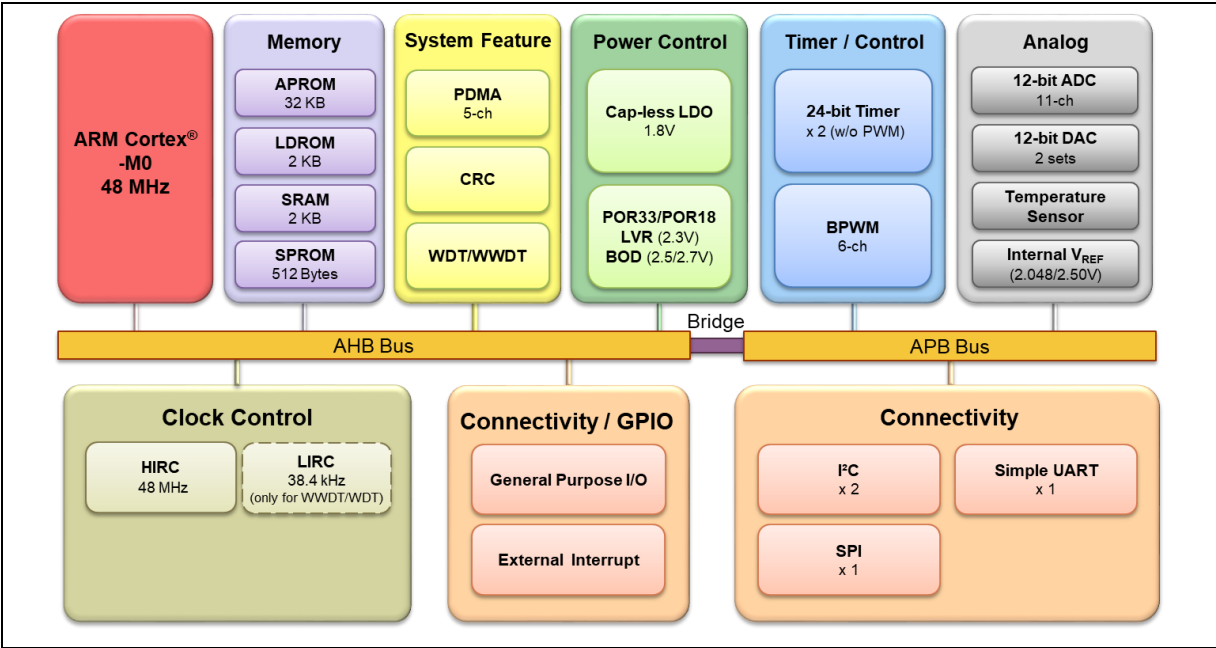


图 5-1 NuMicro M029G框图

5.2 M030G/M031G框图

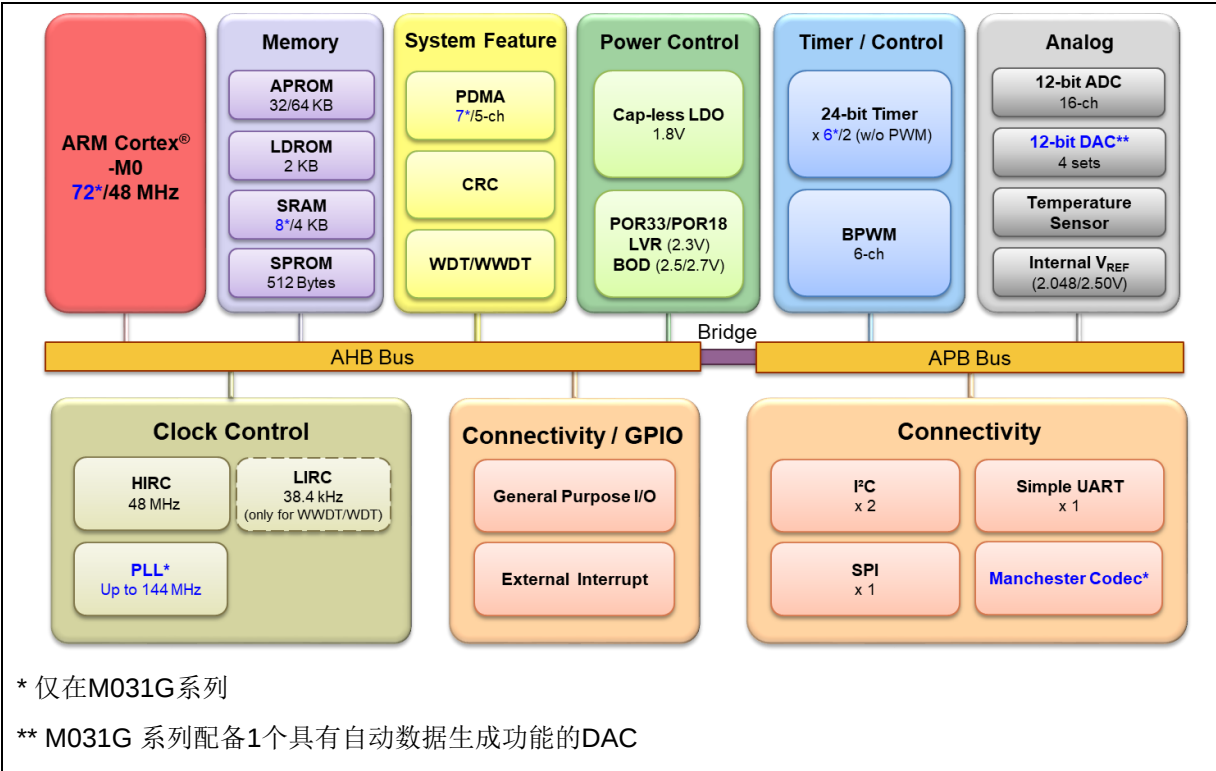


图 5-2 NuMicro M030G/M031G 框图

6 功能描述

6.1 Arm® Cortex®-M0内核

Cortex®-M0处理器是一个可配置的、多级流水线的32位RISC处理器，有一个AMBA AHB-Lite接口和一个嵌套式中断向量控制器（NVIC）。它还具有可选的硬件调试功能。处理器可执行与其他Cortex®-M处理器兼容的Thumb指令。支持两种处理模式：Thread模式和Handler模式。异常时进入Handler模式。异常只能在Handler模式下返回。复位后进入Thread模式，异常返回后也可以进入Thread模式。图 6.1-1展示了处理器的功能框图。

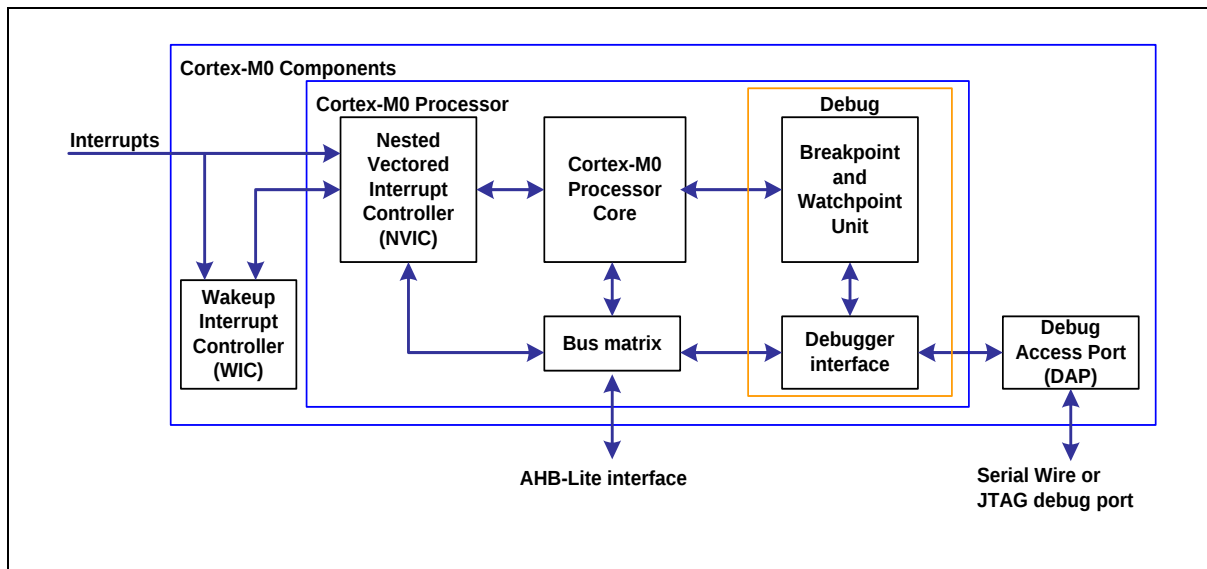


图 6.1-1 功能框图

设备提供：

- 低门数处理器：
 - Arm®6-M Thumb® 指令集
 - Thumb-2 技术
 - Arm®6-M 兼容24位SysTick定时器
 - 一个 32位硬件乘法器
 - 系统接口支持小端数据访问
 - 准确而及时的中断处理能力
 - 加载/存储多个数据和多周期乘法指令可被终止然后重新开始从而实现快速中断处理
 - C应用程序二进制接口的异常兼容模式。这个ARMv6-M的模式允许用户使用纯C函数实现中断处理
 - 使用等待中断指令（WFI），等待事件指令（WFE）进入低功耗休眠模式，或者从中断退出休眠模式
- NVIC：
 - 32个外部中断输入，每个有4个优先级可设定

- 专用的不可屏蔽中断（NMI）输入
- 同时支持电平触发和脉冲触发中断
- 支持中断唤醒控制器（WIC），且提供超低功耗休眠模式
- 调试模式：
 - 四个硬件断点
 - 两个观察点
 - 用于非侵入式代码分析的程序计数采集寄存器（PCSR）
 - 单步和向量捕获能力
- 总线接口：
 - 提供简单的集成到所有系统外设和存储器的单一32位AMBA-3 AHB-Lite系统接口
 - 支持DAP（Debug Access Port）的单个32位从机接口

6.2 系统管理

6.2.1 概述

系统管理包括以下部分：

- 系统复位
- 系统电源分布
- SRAM内存组织
- 系统时钟(SysTick)
- 嵌套向量中断控制器 (NVIC)
- 系统控制寄存器

6.2.2 系统复位

系统复位可被以下列出的事件触发。通过读SYS_RSTSTS寄存器的复位事件标志可确定复位源。硬件复位源来自外设信号。软件复位通过设置控制寄存器触发。

- 硬件复位源
 - 上电复位
 - nRESET引脚低电平
 - 看门狗超时复位和窗口看门狗复位 (WDT/MWDT 复位)
 - 低电复位 (LVR)
 - 掉电检测复位 (BOD 复位)
 - CPU锁死复位
- 软件复位源
 - CHIP复位通过往CHIPRST (SYS_IPRST0[0]) 写1来复位整个芯片
 - MCU复位通过往SYSRESETREQ (AIRCR[2]) 写1来复位芯片但保持芯片从APROM或LDROM启动的设置
 - CPU复位通过往CPURST (SYS_IPRST0[1]) 写1来复位Cortex®-M0内核

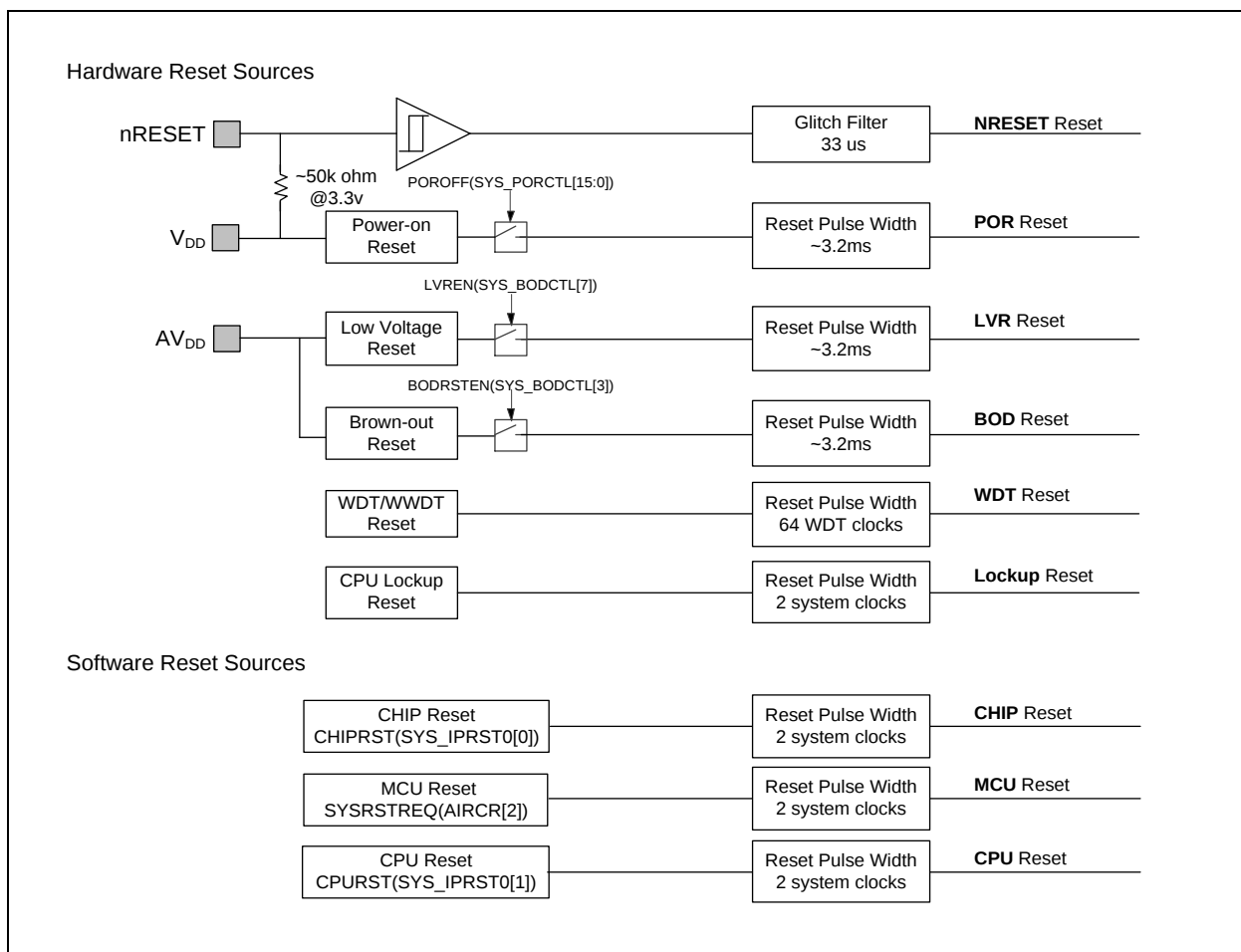


图 6.2-1 系统复位源

NuMicro®家族芯片有9个复位源。通常，CPU复位用于只复位Cortex®-M0；其他复位源将复位Cortex®-M0和所有外设。然而，有一些寄存器具有特别不同的复位源。表 6.2-1列出了这些差异。

复位源寄存器	POR	NRESET	WDT	LVR	BOD	Lockup	CHIP	MCU	CPU
SYS_RSTSTS	Bit 0 = 1	Bit 1 = 1	Bit 2 = 1	Bit 3 = 1	Bit 4 = 1	Bit 8 = 1	Bit 0 = 1	Bit 5 = 1	Bit 7 = 1
CHIPRST (SYS_IPRST0[0])	0x0	-	-	-	-	-	-	-	-
BODEN (SYS_BODCTL[0])	0x0	0x1	0x1	0x1	-	0x1	0x1	0x1	-
BODVL (SYS_BODCTL[16])	0x0	0x0	0x0	0x0	-	0x0	0x0	0x0	-
BODRSTEN (SYS_BODCTL[3])	0x1	0x1	0x1	0x1	-	0x1	0x1	0x1	-
WDTCKEN (CLK_APBCLK0[0])	0x1	-	0x1	-	-	-	0x1	-	-
HCLKSEL (CLK_CLKSEL0[2:0])	0x7	0x7	0x7	0x7	0x7	0x7	0x7	0x7	-

WDTSEL (CLK_CLKSEL1[1:0])	0x3	0x3	-	-	-	-	-	-	-
HIRCSTB (CLK_STATUS[4])	0x0	-	-	-	-	-	-	-	-
RSTEN (WDT_CTL[1])	从 CONFIG 0重载	从 CONFIG 0重载	从 CONFIG 0重载	从 CONFIG 0重载	从 CONFIG 0重载	-	从 CONFIG 0重载	-	-
WDTEN (WDT_CTL[7])									
WDT_CTL except bit 1 and bit 7.	0x0800	0x0800	0x0800	0x0800	0x0800	-	0x0800	-	-
WDT_ALTCTL	0x0000	0x0000	0x0000	0x0000	0x0000	-	0x0000	-	-
WWDT_RLDCNT	0x0000	0x0000	0x0000	0x0000	0x0000	-	0x0000	-	-
WWDT_CTL	0x3F080 0	0x3F080 0	0x3F080 0	0x3F080 0	0x3F080 0	-	0x3F080 0	-	-
WWDT_STATUS	0x0000	0x0000	0x0000	0x0000	0x0000	-	0x0000	-	-
WWDT_CNT	0x3F	0x3F	0x3F	0x3F	0x3F	-	0x3F	-	-
BS (FMC_ISPCTL[1])	从 CONFIG 0重载	从 CONFIG 0重载	从 CONFIG 0重载	从 CONFIG 0重载	从 CONFIG 0重载	-	从 CONFIG 0重载	-	-
FMC_DFBA	从 CONFIG 1重载	从 CONFIG 1重载	从 CONFIG 1重载	从 CONFIG 1重载	从 CONFIG 1重载	-	从 CONFIG 1重载	-	-
CBS (FMC_ISPSTS[2:1])	从 CONFIG 0重载	从 CONFIG 0重载	从 CONFIG 0重载	从 CONFIG 0重载	从 CONFIG 0重载	-	从 CONFIG 0重载	-	-
VECMAP (FMC_ISPSTS[23:9])	基 于 CONFIG 0	基 于 CONFIG 0	基 于 CONFIG 0	基 于 CONFIG 0	基 于 CONFIG 0	-	基 于 CONFIG 0	-	-
DAC IP 寄存器 (RETEN, DAC0_CTL[24]=1)	DAC复位保持源和复位值见表 6.2-2。								
DAC IP 寄存器 (RETEN, DAC0_CTL[24]=0)	复位值								-
GPIO IP 寄存器 (RETEN (GPIO_RET[0]) = 1)	GPIO复位保持源和复位值见表 6.2-3。								
GPIO IP 寄存器 (RETEN (GPIO_RET[0]) = 0)	复位值								-
其他外设寄存器	复位值								-
FMC 寄存器	复位值								
注: ‘-’表示寄存器的值保持原始设定。									

表 6.2-1 寄存器复位值

复位源寄存器	POR	NRESET	WDT	LVR	BOD	Lockup	CHIP	MCU	CPU
DAC 寄存器	复位值	-	-	复位值	复位值	复位值	-	-	-
SCPDIS (SYS_VREFCTL[8])	0x0	-	-	0x0	0x0	0x0	-	-	-
PRELOADEN (SYS_VREFCTL[6])	0x0	-	-	0x0	0x0	0x0	-	-	-
VREFSEL (SYS_VREFCTL[1])	0x0	-	-	0x0	0x0	0x0	-	-	-
VREFEN (SYS_VREFCTL[0])	0x0	-	-	0x0	0x0	0x0	-	-	-
TSBGEN (SYS_TSCTL[1])	0x0	-	-	0x0	0x0	0x0	-	-	-

表 6.2-2 DAC 复位寄存器的保持值

复位源寄存器	POR	NRESET	WDT	LVR	BOD	Lockup	CHIP	MCU	CPU
GPIO 寄存器	复位值	-	-	复位值	复位值	复位值	-	-	-

表 6.2-3 GPIO 复位寄存器的保持值

6.2.2.1 nRESET 复位

nRESET复位指的是通过拉低nRESET引脚产生一个复位信号，nRESET引脚是一个异步复位输入引脚，可以用来随时复位系统。当nRESET电压低于0.2V_{DD}并且持续32 us（干扰脉冲滤波）芯片将会被复位。nRESET复位将控制芯片处于复位状态，直到nRESET电压上升到0.7V_{DD}以上，并且持续32us（干扰脉冲滤波）。如果上次复位源是nRESET复位，PINRF（SYS_RSTSTS[1]）将会被置1。如下图 6.2-2。

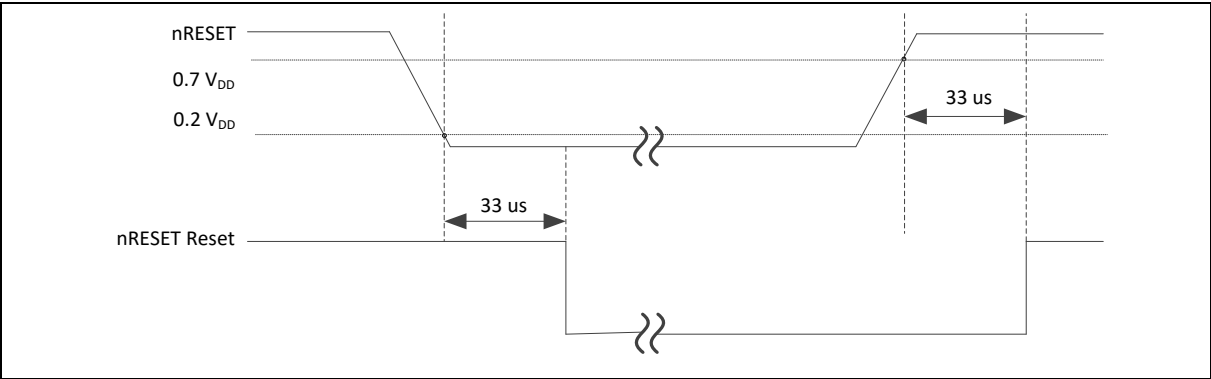


图 6.2-2 nRESET 复位波形

6.2.2.2 上电复位 (POR)

上电复位（POR）用来产生稳定的系统复位信号，并在上电时强制系统复位，以避免MCU不可预期的

行为。当给MCU供电时，POR模块将检测到电压上升，并向系统产生复位信号，直到电压适合MCU运行。在POR复位时，PORF（SYS_RSTSTS[0]）将设置为1，以指示存在POR复位事件。PORF（SYS_RSTSTS[0]）位可以通过向其写1来清除。图 6.2-3展示了上电复位波形。

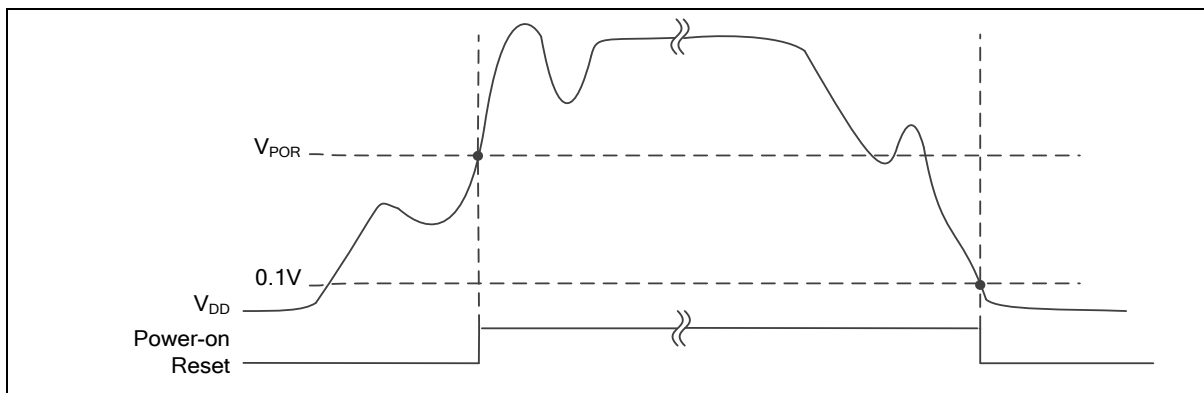


图 6.2-3 上电复位(POR)波形

6.2.2.3 低压复位 (LVR)

通过设置低电复位使能位LVREN（SYS_BODCTL[7]）为1，低电复位功能将被使能，延时200us后，LVR检测电路稳定并且LVR功能被激活。然后LVR功能将在系统运行期间检测AV_{DD}。当AV_{DD}电压低于VLVR且保持这种状态的时间长于LVRDGSEL（SYS_BODCTL[14:12]）设置的干扰脉冲滤波时间，芯片将被复位。LVR复位将控制芯片处于复位状态，直到AV_{DD}电压上升到VLVR以上，且保持这种状态的时间长于LVRDGSEL（SYS_BODCTL[14:12]）设置的干扰脉冲滤波时间。如果上一次复位源是LVR复位。默认设置是使能低电复位功能，但未开启干扰脉冲滤波功能。图 6.2-4展示了低电复位波形。

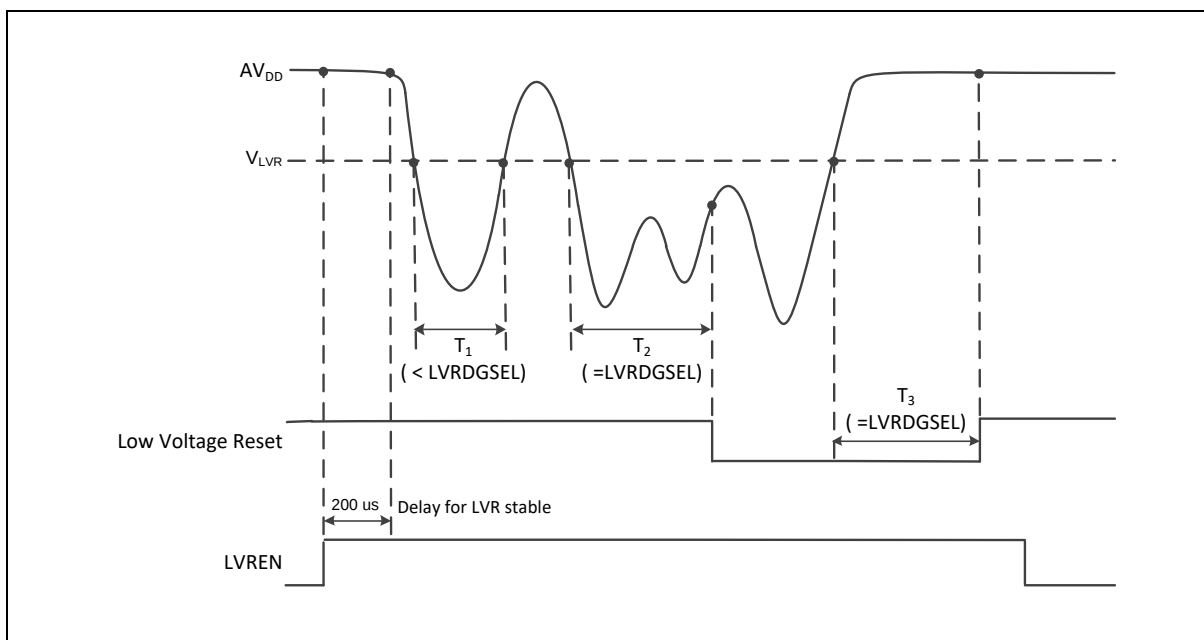


图 6.2-4 低压复位(LVR)波形

6.2.2.4 掉电检测复位 (BOD 复位)

配置BODEN（SYS_BODCTL[0]）可使能掉电检测复位功能，掉电检测复位功能会在系统运行时检测

AV_{DD} 。当 AV_{DD} 电压低于 V_{BOD} (取决于 $BODEN$ 和 $BODVL$ ($SYS_BODCTL[16]$)),且该状态保持时间长于设置的干扰脉冲滤波时间 $BODDGSEL$ ($SYS_BODCTL[10:8]$)，芯片将会被复位。 BOD 复位将保持芯片处于复位状态，直到 AV_{DD} 电压上升到 V_{BOD} 以上，且保持该状态时间长于 $BODDGSEL$ 所设置的干扰脉冲滤波时间。图 6.2-5展示了掉电检测波形。

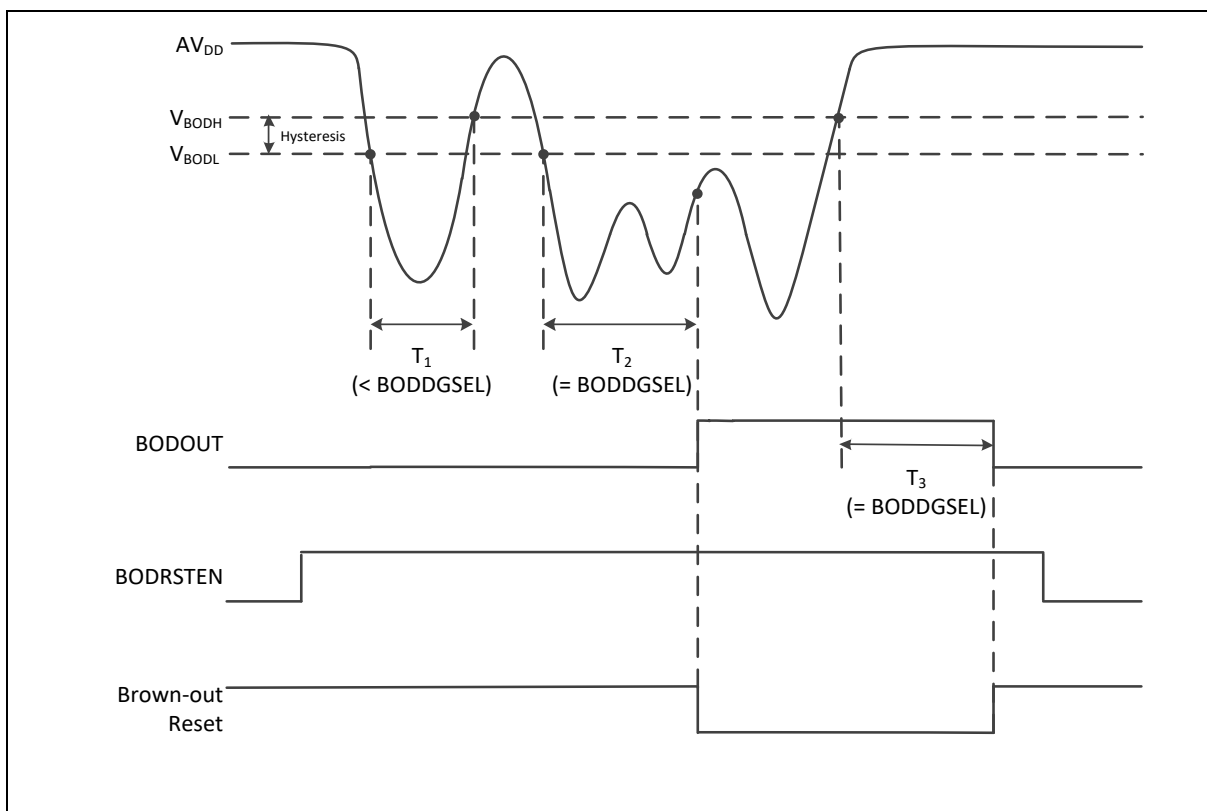


图 6.2-5 掉电检测 (BOD)波形

6.2.2.5 看门狗定时器复位 (WDT)

在大多数工业应用中，系统可靠性是非常重要的。从故障状态自动恢复MCU是提高系统可靠性的一种方法。看门狗定时器 (WDT) 被广泛用于检查系统是否工作正常。如果MCU崩溃或失控，可能会导致看门狗超时。用户可以决定在看门狗超时期间启用系统复位以恢复系统，并在复位后对系统崩溃/失控采取行动。

软件可以检查复位是否由看门狗超时引起，以指示前一复位是否是看门狗复位，通过检查 $WDTRF$ ($SYS_RSTSTS[2]$) 来处理看门狗超时复位后MCU的故障。

6.2.2.6 CPU锁死复位

当CPU产生硬件错误和芯片内核软件给出严重错误指示后，芯片进入锁定状态这是由于处理器内置的系统状态保护硬件激活后，由于不可恢复异常，CPU被锁定的结果。当芯片进入调试模式时，CPU 锁定复位将被忽略。

6.2.2.7 CPU复位, CHIP复位和MCU复位

CPU复位意味着只有Cortex®-M0核心被复位，并且所有其他外围设备在CPU复位之后保持相同的状态。用户可以将 $CPURST$ ($SYS_IPRST0[1]$) 置为1以产生CPU复位信号。

CHIP复位与上电复位相同。CPU和所有外围设备被复位， BS ($FMC_ISPCTL[1]$) 位从 $CONFIG0$ 设置自动重载。用户可以将 $CHIPRST$ ($SysIIPRST0[0]$) 置为1以产生CHIP复位信号。

MCU复位与CHIP复位类似。不同之处在于，BS（FMC_ISPCTL[1]）不会从CONFIG0设置重新加载，并且保持其原始的软件设置，以便从APROM或LDROM启动。用户可以将SYSRESETREQ（AIRC[R[2]）置为1以产生MCU复位。

6.2.3 系统电源分配

芯片电源分配可分为三个部分：

- 模拟电源由AV_{DD}和AV_{SS}提供，为模拟组件提供工作电源。
- 数字电源由V_{DD}和V_{SS}用于向内部稳压器供电，内部稳压器为数字操作和I/O引脚提供固定的1.8V电源。
- M029G/M030G/M031G 封装AV_{SS} 和 V_{SS}连接在一起。

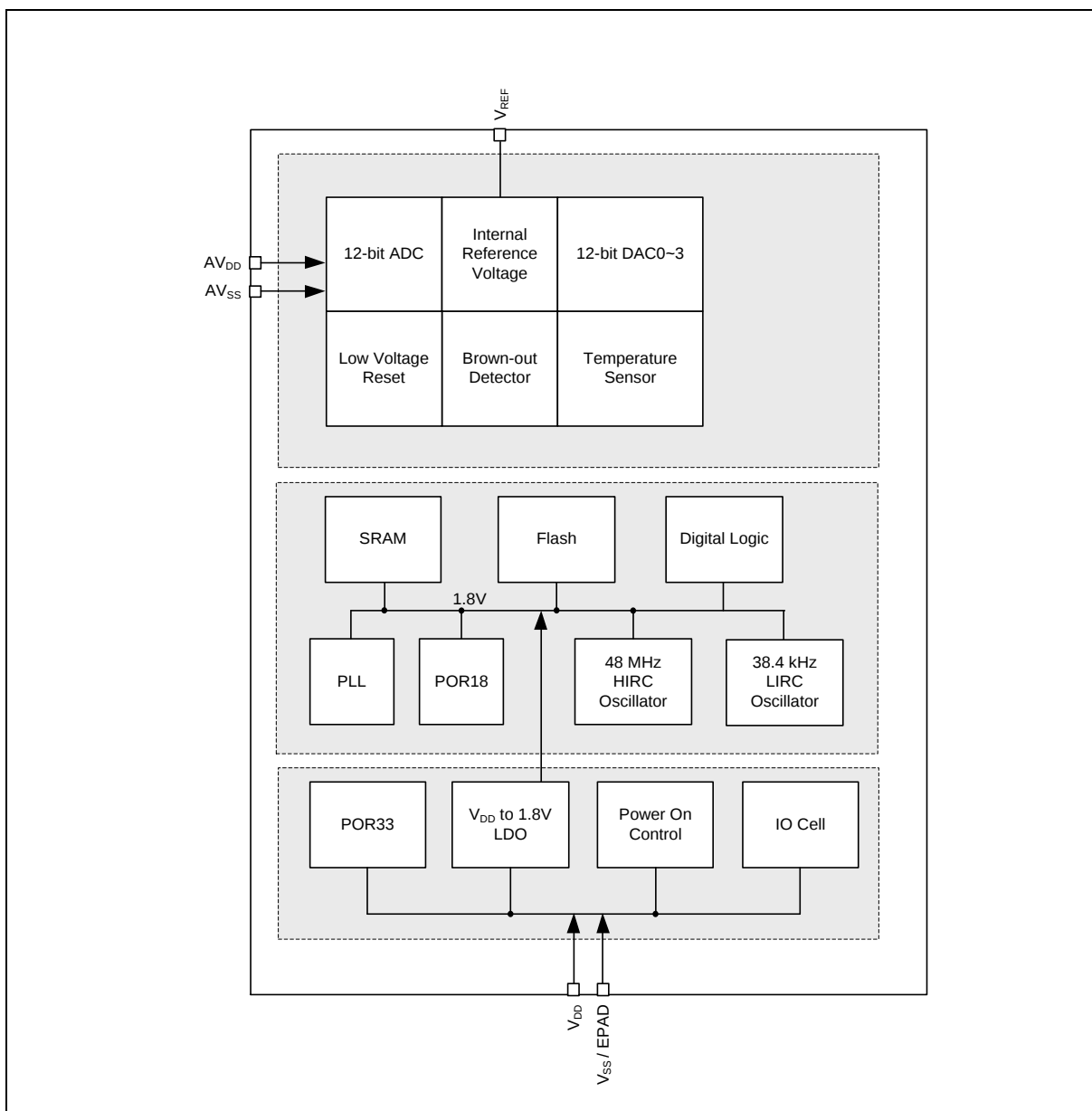


图 6.2-6 NuMicro® M029G/M030G/M031G 电源分布框图

6.2.4 电源模式和唤醒源

该芯片有电源管理单元，支持以下几种运行模式来降低功耗。表 6.2-4列举了M029G/M030G/M031G系列所有的电源模式。

模式	CPU 运行最大频率 (MHz)	LDO (V)	时钟禁止
正常模式	72/48	1.8	所有时钟通过控制寄存器禁止
空闲模式	CPU进入睡眠模式	1.8	仅CPU时钟禁止
掉电模式	CPU进入掉电模式	1.8	大部分时钟被禁止，除了 LIRC/LXT。仅有 WDT/Timer/UART/ RTC外设时钟仍然使能（如果它们的时钟源选择为LIRC/LXT）

表 6.2-4 电源模式表

每个电源模式有不同的电源模式进入设置和离开条件。表 6.2-5显示了每个电源模式的进入设置。当芯片电源开启时，芯片以正常模式运行。用户可以通过设置 SLEEPDEEP (SCR[2]), PDEN (CLK_PWRCTL[7])和执行WFI指令来进入每个模式。

寄存器/指令模式	SLEEPDEEP (SCR[2])	PDEN (CLK_PWRCTL[7])	CPU运行WFI指令
正常模式	0	0	NO
空闲模式（CPU进入睡眠模式）	0	0	YES
掉电模式（CPU进入深度睡眠模式）	1	1	YES

表 6.2-5 电源模式差异表

在空闲模式和掉电模式中有几个唤醒源。表 6.2-6列出了每个电源模式的可用时钟。

	正常模式	空闲模式	掉电模式
定义	CPU 在工作状态	CPU 在睡眠状态	CPU在睡眠状态且所有时钟停止除了 LIRC。SRAM 数据保持
进入条件	系统复位后芯片工作在正常模式	CPU 执行WFI指令	CPU使能睡眠模式和掉电模式后执行 WFI指令
唤醒源	N/A	所有中断	WDT, I ² C, Timer, UART, BOD, GPIO, EINT
可用时钟	All	除CPU时钟外所有时钟	LIRC
唤醒后	N/A	CPU 返回正常模式	CPU返回正常模式

表 6.2-6 电源模式差异表

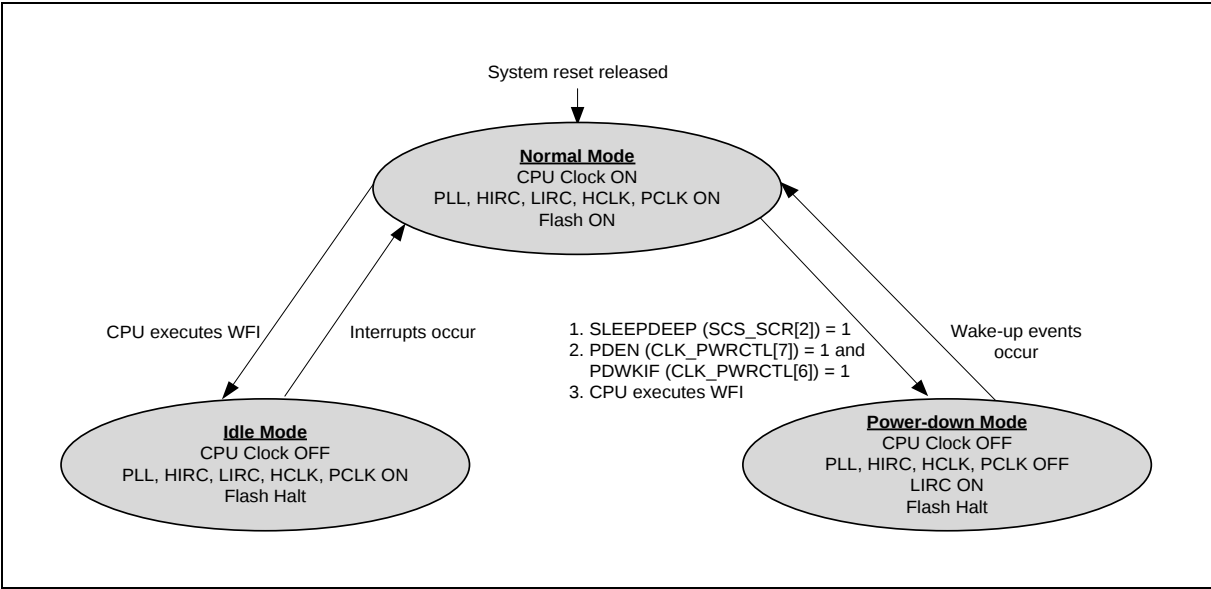


图 6.2-7 电源模式状态机

	正常模式	空闲模式	掉电模式
HIRC48 (48 MHz OSC)	ON	ON	Halt
LIRC (38.4 kHz OSC)	ON	ON	ON
PLL	ON	ON	Halt
HCLK/PCLK	ON	ON	Halt
CPU	ON	Halt	Halt
SRAM保持	ON	ON	ON
FLASH	ON	ON	Halt
TIMER	ON	ON	ON/OFF ¹
WDT	ON	ON	ON/OFF ²
UART	ON	ON	ON/OFF ³
其他	ON	ON	Halt

表 6.2-7 不同电源模式下的时钟

注:

- 1. 如果TIMER时钟源选择LIRC.
- 2. 如果WDT时钟源选择 LIRC.
- 3. 如果UART时钟源选择LIRC.

掉电模式下唤醒源:

WDT, I²C, Timer, UART, BOD 和 GPIO

当芯片进入掉电模式后,下述唤醒源可以唤醒芯片到正常模式。表 6.2-8列出了对于各种外设怎样才能使

系统再次进入掉电模式的条件。

用户必须在设置PDEN(CLK_PWRCTL[7])和执行WFI指令进入掉电模式前等待这些条件完成。

唤醒源	唤醒条件	系统能再次进入掉电模式的条件
BOD	欠压检测中断	软件写清除BODIF (SYS_BODCTL[4])后
INT	外部中断	软件写清除Px_INTSRC[n]位后
GPIO	GPIO 中断	软件写清除Px_INTSRC[n] 位后
TIMER	Timer 中断	软件写清除TWKF (TIMERx_INTSTS[1])和 TIF (TIMERx_INTSTS[0]) 后
WDT	WDT 中断	软件写清除WKF (WDT_CTL[5]) (写保护) 后
UART	nCTS唤醒	软件写清除CTSWKF (UARTx_WKSTS[0]) 后
	RX 数据唤醒	软件写清除DATWKF (UARTx_WKSTS[1]) 后
I ² C	地址匹配	软件写清除WKIF (I2C_WKSTS[0]) 后

表 6.2-8 再次进入掉电状态的条件

6.2.5 系统内存映射

该芯片提供4G字节地址空间。分配给控制器的地址空间如表 6.2-9。每个片上外设的详细的寄存器定义、地址空间和编程将在接下来的章节中描述。M029G/M030G/M031G系列只支持小端数据格式。

地址空间	标识	控制器
Flash和SRAM 存储空间		
0x0000_0000 – 0x0000_FFFF	FLASH_BA	FLASH存储空间(64 KB)
0x2000_0000 – 0x2000_1FFF	SRAM_BA	SRAM存储空间(8 KB)
外设控制器空间(0x4000_0000 – 0x400F_FFFF)		
0x4000_0000 – 0x4000_01FF	SYS_BA	系统控制寄存器
0x4000_0200 – 0x4000_02FF	CLK_BA	时钟控制寄存器
0x4000_0300 – 0x4000_03FF	NMI_BA	NMI中断寄存器
0x4000_4000 – 0x4000_4FFF	GPIO_BA	GPIO控制寄存器
0x4000_8000 – 0x4000_8FFF	PDMA_BA	外设DMA控制寄存器
0x4000_C000 – 0x4000_CFFF	FMC_BA	内存控制寄存器
0x4003_1000 – 0x4003_1FFF	CRC_BA	CRC生成器寄存器
APB 控制器空间 (0x4000_0000 ~ 0x400F_FFFF)		
0x4004_0000 – 0x4004_0FFF	WDT_BA	看门狗定时器寄存器
0x4004_3000 – 0x4004_3FFF	ADC_BA	模拟数字转换 (ADC) 控制寄存器
0x4004_7000 – 0x4004_7FFF	DAC01_BA	DAC01 控制寄存器
0x4004_B000 – 0x400B_7FFF	DAC23_BA	DAC23 控制寄存器
0x4005_0000 – 0x4005_0FFF	TMR01_BA	Timer0/Timer1 控制寄存器

0x4005_1000 – 0x4005_1FFF	TMR23_BA	Timer2/Timer3 控制寄存器
0x4005_2000 – 0x4005_2FFF	TMR45_BA	Timer4/Timer5 控制寄存器
0x4005_B000 – 0x4005_BFFF	BPWM1_BA	BPWM 控制寄存器
0x4006_1000 – 0x4006_1FFF	SPI0_BA	SPI0 控制寄存器
0x4007_0000 – 0x4007_0FFF	UART_BA	UART0 控制寄存器
0x4008_0000 – 0x4008_0FFF	I2C0_BA	I2C0 控制寄存器
0x4008_1000 – 0x4008_1FFF	I2C1_BA	I2C1 控制寄存器
0x400B_C000 – 0x400B_CFFF	MANCH_BA	曼彻斯特编解码器控制寄存器
系统控制空间 (0xE000_E000 ~ 0xE000_EFFF)		
0xE000_E010 – 0xE000_E0FF	SCS_BA	系统定时器控制寄存器
0xE000_E100 – 0xE000_ECFE	SCS_BA	外部中断控制寄存器
0xE000_ED00 – 0xE000_ED8F	SCS_BA	系统控制寄存器

表 6.2-9 片上控制器地址空间分配

6.2.6 SRAM 内存结构

该芯片支持内嵌2/4/8 Kbytes SRAM:

- 支持2/4/8 Kbytes SRAM
- 支持字节/半字/字写
- 支持地址溢出报错

图 6.2 - 8 展示了 M029G/M030G/M031G 系列 SRAM 内存组织。地址空间从 0x2000_4000 到 0x3FFF_FFFF 是非法内存空间, 如果CPU访问这些非法的内存空间, 芯片将会进入硬件错误。

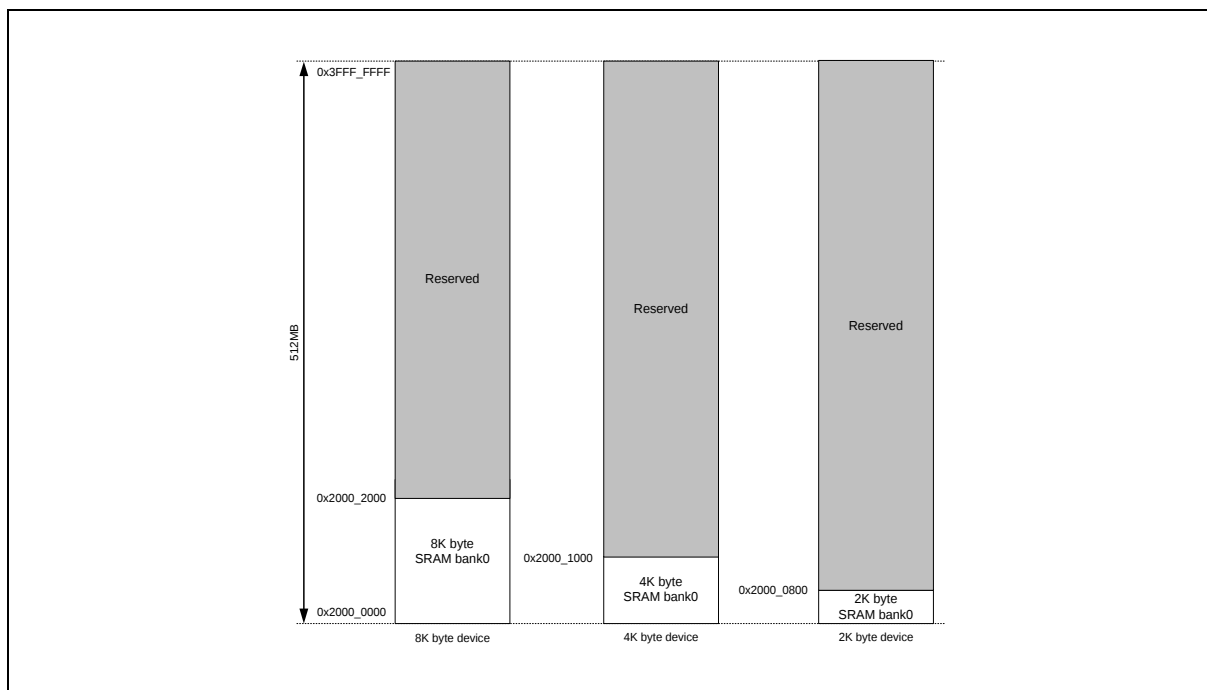


图 6.2-8 SRAM 内存组织

6.2.7 芯片总线矩阵

该芯片支持总线矩阵来管理主机间的访问仲裁。访问仲裁采用轮询算法作为总线优先级。

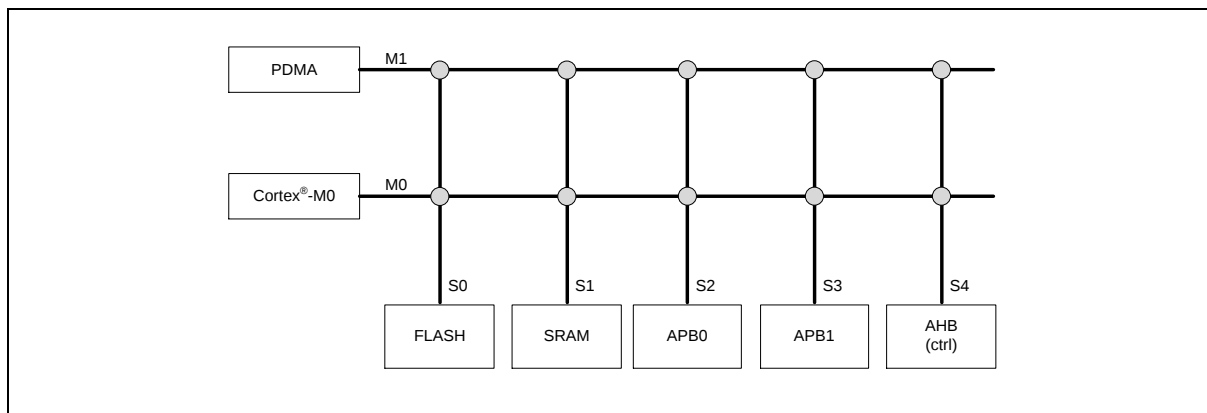


图 6.2-9 NuMicro® M029G/M030G/M031G 总线矩阵图

6.2.8 温度传感器

该芯片配备了一个片上温度传感器。温度传感器控制寄存器位于SYS_TSTL和SYS_TSDATA中。

用户应将TSEN(SYS_TSCTL[0])和TSBGEN(SYS_TSCTL[1])位置为1，以启用温度传感器。用户需要等待200us以使温度传感器稳定，然后将TSST(SYS_TSCTL[2])位置为1以开始温度传感器转换。

温度传感器转换完成后，TSEOC(SYS_TSDATA[0])位将自动设置为1，TSDATA(SYS_TSDATA[27:16])将显示温度传感器数据。图 6.2-10显示了温度传感器转换的时序波形。

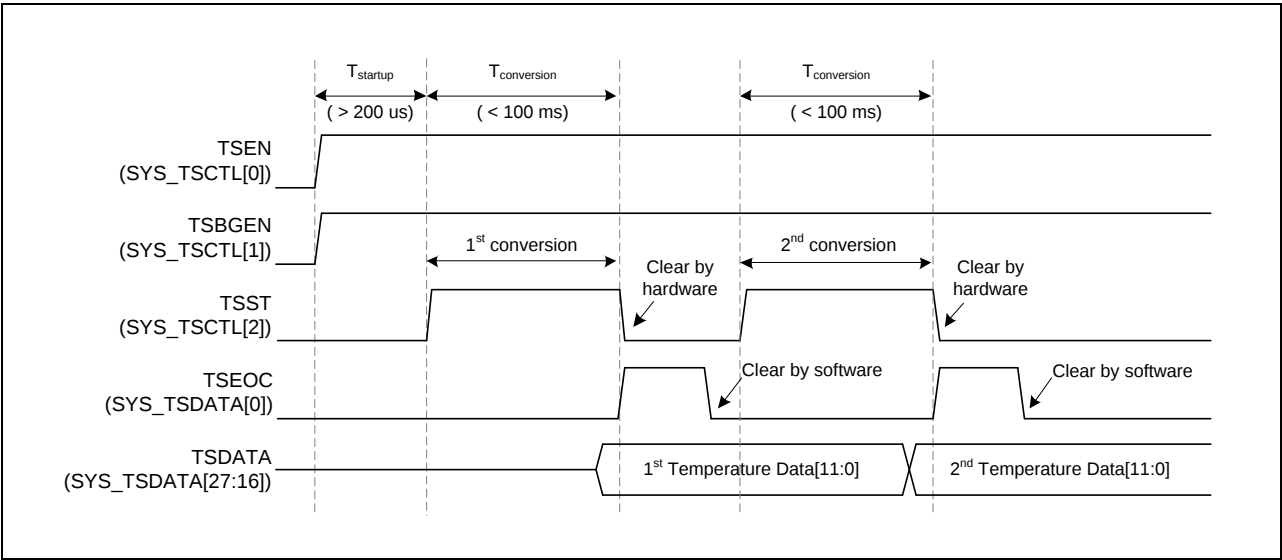


图 6.2-10 温度传感器转换波形

表 6.2-10是温度和TSDATA之间关系的参考表。负温度在TSDATA（SYS_TSDATA[27:16]）中用二进制补码格式表示，每LSB差值等于0.0625°C。

温度(°C)	温度数据 (TSDATA)
128	0x7FF
127.9375	0x7FF
100	0x640
80	0x500
75	0x4B0
50	0x320
25	0x190

0.25	0x004
0	0x000
-0.25	0xFFC
-25	0xE70
-55	0xC90

表 6.2-10 温度数据真值表

6.2.9 内部参考电压(INT_VREF)

该芯片支持内部参考电压(INT_VREF)，为ADC和DAC提供参考电压。INT_VREF连接V_{REF}引脚。用户可以设置VREFEN(SYS_VREFCTL[0])，从外部V_{REF}引脚或内部INT_VREF选择ADC和DAC参考电压源。如果使用外部V_{REF}源，VREFEN需要设置为0，INT_VREF将输出浮动。

当VREFEN设置为1时，INT_VREF将启用。此外，用户可以通过VREFSEL(SYS_VREFCTL[1])选择INT_VREF输出电压电平2.048V或2.5V。但是，必须在VREFEN设置为1之前设定VREFSEL。

当VREFEN设置为1时，将自动设置PRELOADEN(SYS_VREFCTL[6])，以缩短V_{REF}放电和稳定时间。用户需要在稳定时间后禁用PRELOADEN功能，否则将影响INT_VREF可提供的最大负载电流。

6.2.10 BPWM1调制MANCH_TXD

该芯片支持BPWM1_CH0~BPWM1_CH5调制MANCH_TXD。用户可以设置MANCHMODEN(SYS_MODCTL[21:16])以启用每个BPWM1通道的调制功能，并设置MANCHMODL(SYS_MODCTL[29:24])以选择MANCH_TXD数据高或低以使用BPWM1通道进行调制。曼彻斯特调制波形如图6.2-11所示。

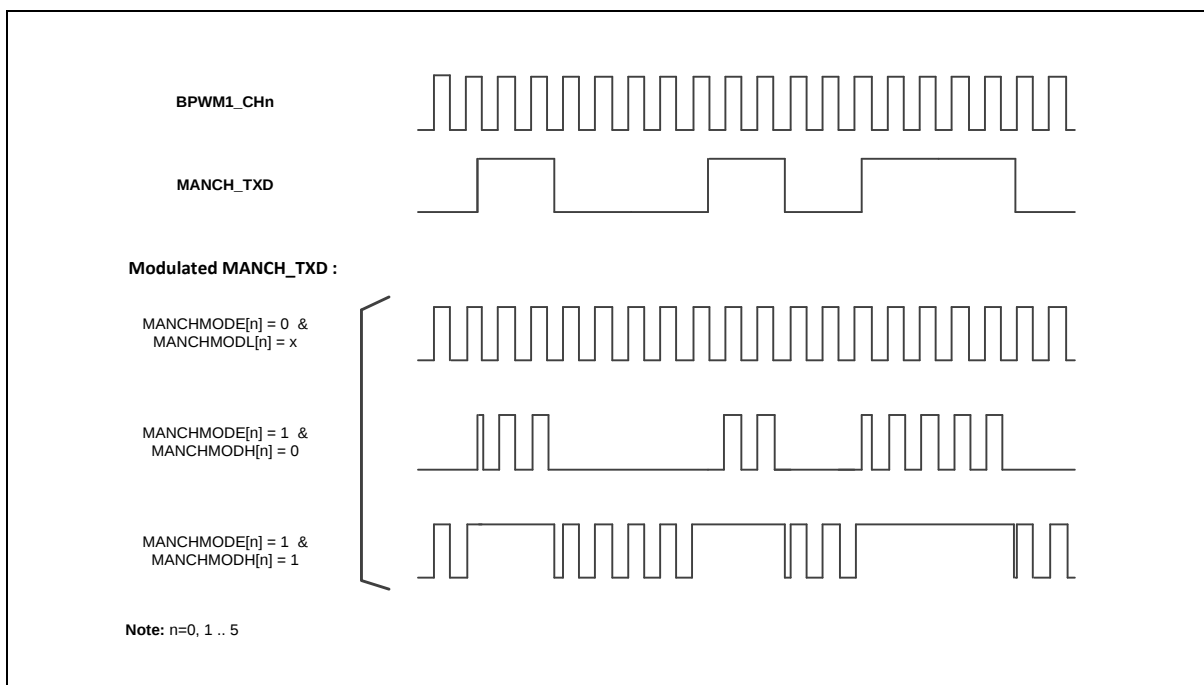


图 6.2-11 BPWM1_CHn 调制 MANCH_TXD

6.2.11 寄存器锁控制

部分系统控制寄存器需要保护，以避免误操作干扰芯片运行。这些系统控制寄存器在通电复位后被保护，直到用户禁用寄存器保护。用户如果想要编程这些保护寄存器，必须通过特定的编程来禁用寄存器保护。禁用寄存器保护的方法是依次往地址为0x4000_0100的寄存器SYS_REGLCTL写入“59h”，“16h”“88h”。任何不同的数据、不同的写入顺序或者在这三个数据写入的过程中，写其它地址，将打断禁用寄存器保护方法流程。所有受保护的寄存器都注明“（写保护）”，并添加一个注释在寄存器描述中“**注意：**此位是写保护的。参考SYS_REGLCTL寄存器”。

6.2.12 系统定时器 (SysTick)

Cortex®-M0内部集成了一个系统定时器（Systick），系统定时器提供一个简单的、24位写入清零、递减、带灵活控制机制的自动装载计数器。该计数器可以用作实时操作系统（RTOS）的滴答定时器或用于一个简单的计数。

当系统定时器使能后，将从SysTick当前值寄存器（SYST_VAL）的值向下递减到0，并在下一个时钟周期，重新加载SysTick重装载值寄存器（SYST_LOAD）的值，然后再随时钟递减。当计数器递减到0，COUNTFLAG状态位将被设置，COUNTFLAG位读时清0。

复位时，SYST_VAL的值是未知的。使能前，软件应向该寄存器写入值来清0。这样保证定时器会从SYST_LOAD值开始计数而不是一个随机值。

如果SYST_LOAD为0，定时器在重新加载后，将保持值为0。这种机制可以用来在定时器使能后，独立地禁用计数功能。

更多的介绍，请参考“Arm® Cortex®-M0 技术参考手册”和“Arm® v6-M 架构参考手册”。

6.2.13 可嵌套中断向量控制器(NVIC)

Cortex®-M0 提供一个中断控制器用于异常模式，称之为“嵌套向量中断控制器（NVIC）”，NVIC与处理器内核紧密相连，且提供以下特性：

- 支持嵌套向量中断
- 自动保存和恢复处理器状态
- 简化和确定的中断延时

NVIC 按照优先级处理所有支持的异常。所有异常在“Handler模式”处理。NVIC架构支持32（IRQ[31:0]）个离散的中断，每个中断有4级优先级。所有的中断和大部分异常可以被设置为不同的优先级。当中断发生时，NVIC会比较新的中断的优先级和当前中断的优先级，如果新中断的优先级比当前中断的优先级高，将立即处理新的中断。

当一个中断接受后，中断服务例程（ISR）的起始地址可从内存中的向量表取得。软件不需要决定哪个中断被响应，也不用分配相关ISR的起始地址。当开始地址取得后，NVIC将自动保存包含寄存器“PC, PSR, LR, R0~R3, R12”值的处理器状态到栈中。在ISR结束后，NVIC将从栈中恢复相关寄存器的值，并运行正常状态。因此系统可以花费少量且确定的时间处理中断请求。

NVIC支持“Tail Chaining”模式，可以有效的处理背对背中断，即无需保存和恢复当前状态，从而减少结束当前ISR切换到挂起ISR的延迟时间。NVIC还支持“Late Arrival”模式，因此可以提高并发ISR的效率。当较高优先级中断请求发生在当前ISR开始执行之前（保存处理器状态和获取起始地址阶段），NVIC将立即处理更高优先级的中断，从而提高实时性。

更多的介绍，请参考“Arm® Cortex®-M0 技术参考手册”和“Arm® v6-M 架构参考手册”。

6.2.13.1 异常模式和系统中断映射

表 6.2-11列出了M029G/M030G/M031G系列支持的异常模式。与所有中断一样，软件可以为其中一些异常设置4级优先级。最高用户可配置优先级为0，最低优先级为3，所有用户可配置中断的默认优先级为0。注：优先级0在系统为第4级优先级，排在“Reset”、“NMI”和“Hard Fault”这三个系统异常之后。

异常名称	向量号	优先级
Reset	1	-3
NMI	2	-2
Hard Fault	3	-1
Reserved	4 ~ 10	保留
SVCall	11	可配置
Reserved	12 ~ 13	保留
PendSV	14	可配置
SysTick	15	可配置
Interrupt (IRQ0 ~ IRQ31)	16 ~ 47	可配置

表 6.2-11 异常模式

向量号	中断号 (中断寄存器对应位)	中断名	中断描述
0 ~ 15	-	-	系统异常
16	0	BODOUT	欠压检测中断
17	1	WDT_INT	看门狗定时器中断
18	2	EINT024	来自EINT0,2,4外部中断
19	3	EINT135	来自EINT1.3.5外部中断
20	4	GPAB_INT	来自 PA, PB引脚外部中断
21	5	GPCF_INT	来自 PC, PF引脚外部中断
22	6	TMR4_INT	Timer 4 中断
23	7	TMR5_INT	Timer 5 中断
24	8	TMR0_INT	Timer 0 中断
25	9	TMR1_INT	Timer 1 中断
26	10	TMR2_INT	Timer 2 中断
27	11	TMR3_INT	Timer 3 中断
28	12	UART0_INT	UART0 中断
29	13	Reserved	保留
30	14	SPI0_INT	SPI0 中断
31	15	Reserved	保留

32	16	Reserved	保留
33	17	MANCH_INT	曼彻斯特编解码器中断
34	18	I2C0_INT	I2C0 中断
35	19	I2C1_INT	I2C1 中断
36	20	Reserved	保留
37	21	BPWM_INT	BPWM 中断
38	22	Reserved	保留
39	23	DAC01_INT	DAC0/1设备中断
40	24	DAC23_INT	DAC2/3设备中断
41	25	TEMP_INT	TEMP 中断
42	26	PDMA_INT	PDMA 中断
43	27	Reserved	保留
44	28	PWRWU_INT	芯片从掉电状态唤醒时钟控制中断
45	29	ADC_INT	ADC 中断
46	30	Reserved	保留
47	31	Reserved	保留

表 6.2-12 中断号码表

6.2.13.2 向量表

当中断响应时，处理器将自动从内存中的向量表中提取中断服务例程（ISR）的起始地址。对于 ARMV6-M，向量表基地址固定在0x00000000。向量表包含复位时堆栈指针的初始化值和所有异常处理程序的入口点地址。前页定义的向量号定义了上一节中与向量表相关的异常处理程序入口的顺序。

向量表偏移号	描述
0	SP_main – 主栈指针
向量号	使用向量号标示的异常入口指针

表 6.2-13 向量表格式

6.2.13.3 操作描述

NVIC可以通过写使能中断或清使能中断寄存器相关位来使能或禁用中断。这些寄存器使用写1使能和写1清零机制，并通过读取这些寄存器可以获得当前相应中断的使能状态。当中断禁用后，中断声明将使中断挂起，因此中断不被激活。如果在禁用中断时中断被激活，它将保持激活状态直到被复位或异常返回清除。清使能位可以阻止相应中断的新中断被激活。

有一对互补寄存器（设置挂起寄存器和清挂起寄存器）可以使NVIC中断被挂起或取消挂起，以达到禁用或使能中断的效果。寄存器使用写1使能和写1清零机制，读取这些寄存器可以得到当前相应中断的挂起状态。清挂起寄存器不影响激活中断的执行状态。

NVIC中断的优先级可以通过更新32位寄存器的8个位段来设置（每个寄存器支持4个中断）。

与NVIC相关的通用寄存器在系统控制空间的一块内存中设置，下一节将做出描述。

6.3 时钟控制器

6.3.1 概述

时钟控制器为整个芯片提供时钟源，包括系统时钟和所有外设时钟。该控制器还通过单独时钟的开或关，时钟源选择和分频器来进行功耗控制。只有在CPU使能低功耗PDEN（CLK_PWRCTL[7]）位和Cortex®-M0内核执行WFI指令后，芯片才进入低功耗模式。直到唤醒中断发生，芯片才会退出低功耗模式。在低功耗模式下，时钟控制器会关闭48MHz内部高速RC振荡器（HIRC）和可编程锁相环输出时钟频率（PLLFOUT）来降低整个系统功耗。图 6.3-1展示了时钟发生器和时钟源控制器。

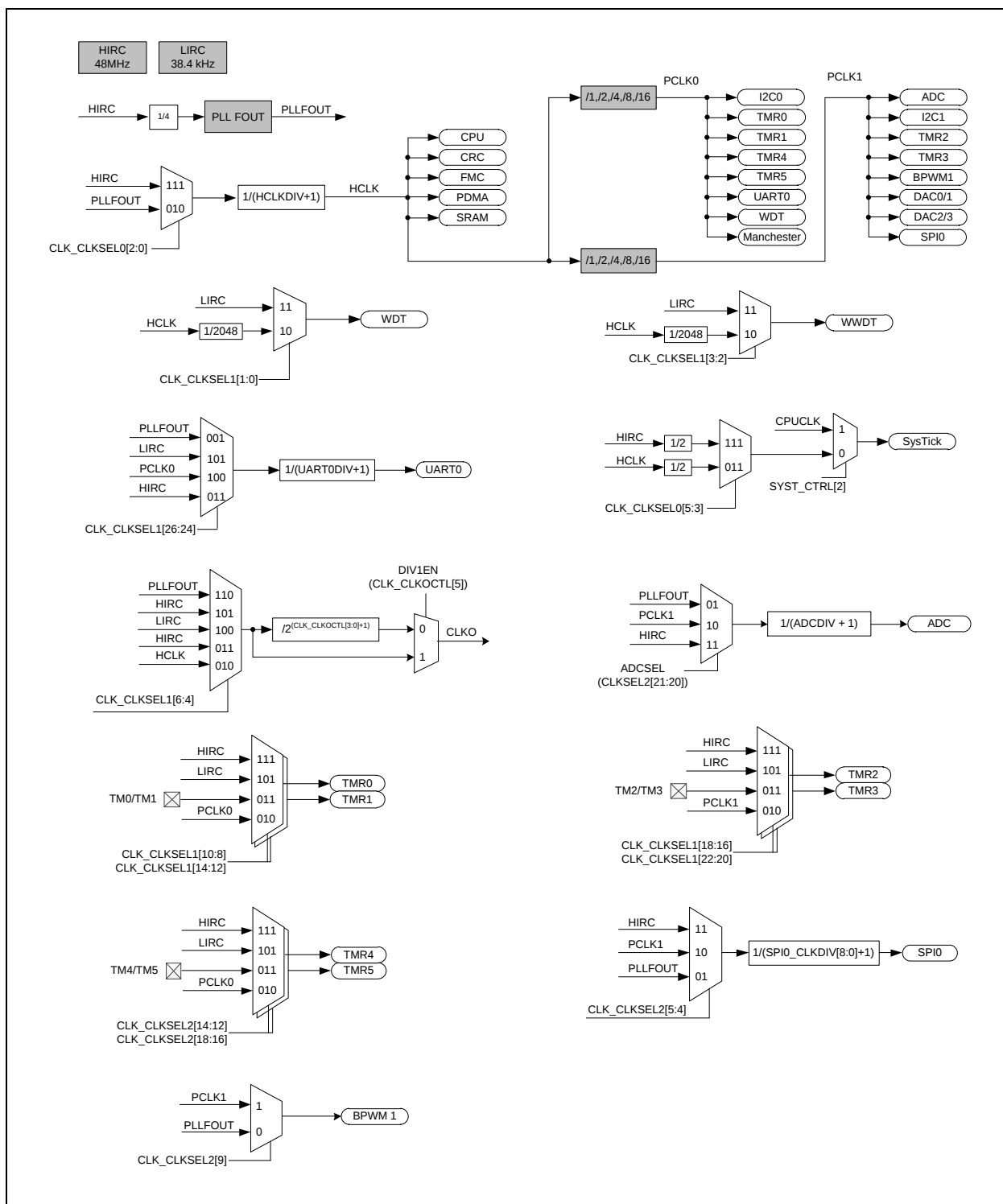


图 6.3-1 时钟发生器全局示意图

6.3.2 时钟发生器

时钟发生器由如下2个时钟源组成:

- 48 MHz 内部高速RC振荡器 (HIRC)
- 可编程PLL输出时钟频率(PLLFOU)–PLL源选自48 MHz内部高速振荡器 (HIRC/4)

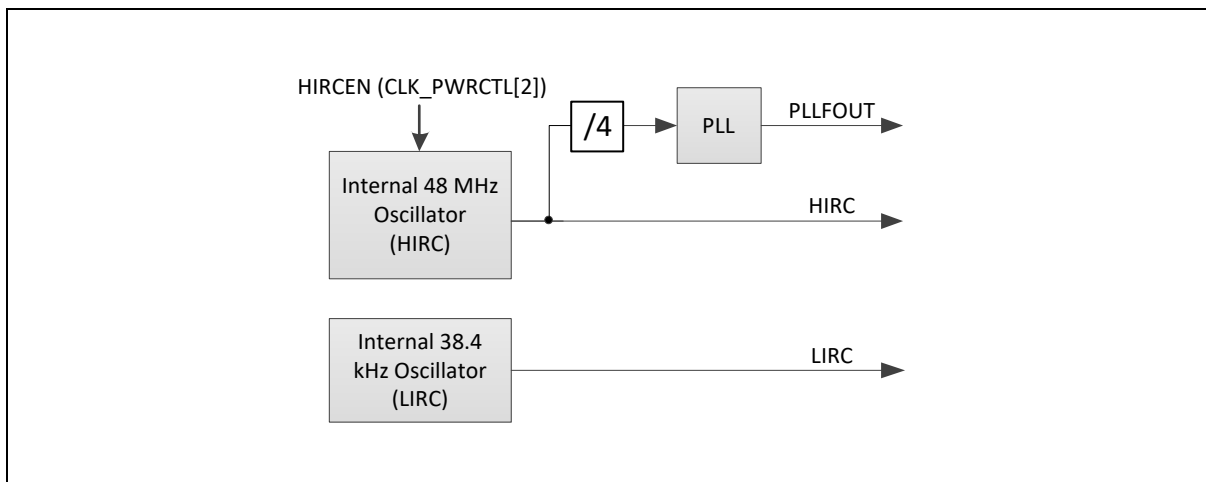


图 6.3-2 时钟发生器框图

6.3.3 系统时钟和系统滴答时钟

系统时钟有2个时钟源，由时钟发生器产生。时钟源切换取决于寄存器HCLKSEL (CLK_CLKSEL0[2:0])。其框图如下图 6.3-3所示。

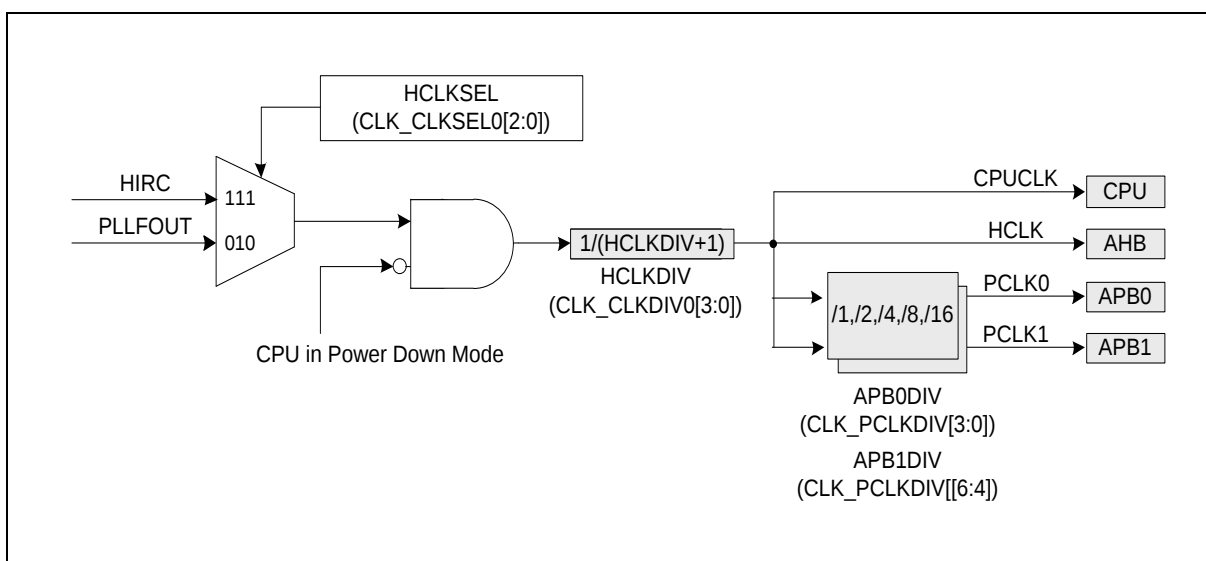


图 6.3-3 系统时钟框图

Cortex®-M0内核的SysTick时钟源可以选择CPU时钟或外部时钟(SYST_CTRL[2])。如果使用外部时钟，SysTick时钟（STCLK）有2个可选时钟源。时钟源切换取决于寄存器STCLKSEL (CLK_CLKSEL0[5:3])。其框图如下图 6.3-4所示。

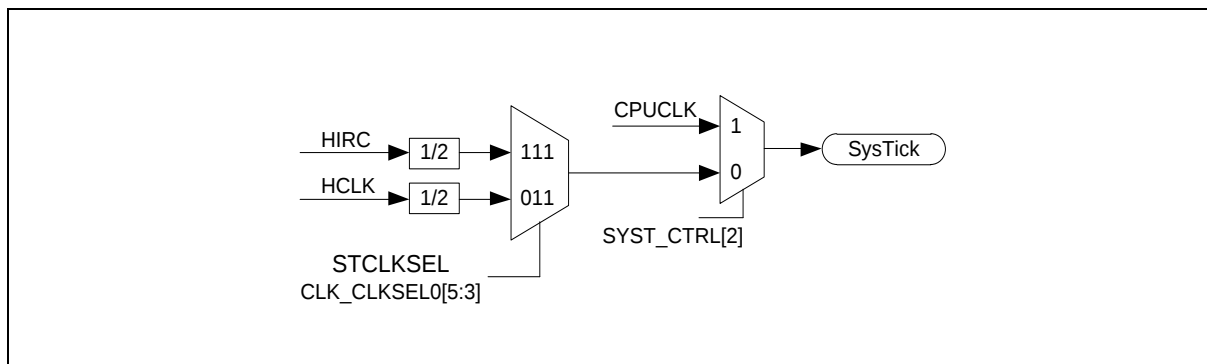


图 6.3-4 SysTick 时钟控制框图

6.3.4 外设时钟

外设时钟可以有不同的时钟源做切换设置，取决于不同的外设。请参考CLK_CLKSELx寄存器描述。

6.3.5 掉电模式时钟

当芯片进入掉电模式，系统时钟和一些时钟源以及一些外设时钟将被关闭。也有一些时钟源与外设时钟在掉电模式仍在工作。

如下时钟仍在工作：

- 外设时钟（当模块的时钟源来自LIRC）

6.3.6 时钟输出

该设备带有一个2的若干次幂的频率分频器，该分频器由16个链式的二分频移位寄存器构成。其中哪一级的值被输出到CLKO功能引脚上，由一个16选1的多路转换器选择。因此共有16种时钟分频选择，分频范围从 $F_{in}/2^1$ 到 $F_{in}/2^{16}$ ，此处 F_{in} 是到时钟分频器的时钟输入频率。

输出公式： $F_{out} = F_{in}/2^{(N+1)}$ ，其中 F_{in} 为输入时钟频率， F_{out} 为时钟分频器输出频率，N为FREQSEL（CLK_CLKOCTL[3:0]）中的4位值。

当往CLKOEN（CLK_CLKOCTL[4]）写1，链式分频计数器开始计数。往CLKOEN（CLK_CLKOCTL[4]）写0，链式分频计数器持续计数，直到被分频时钟达到低电平并会保持在低电平状态。

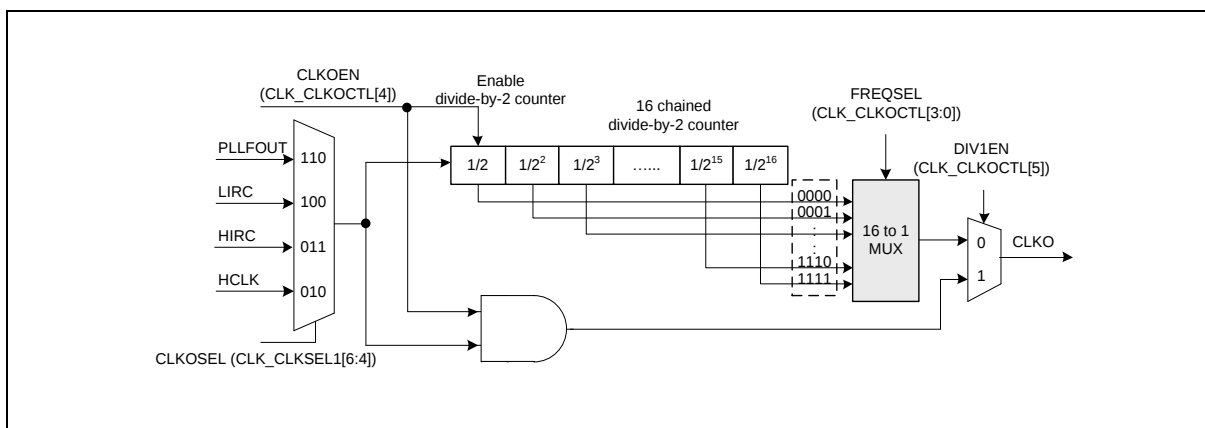


图 6.3-5 时钟输出框图

6.4 Flash 存储控制器(FMC)

6.4.1 概述

此芯片内置32/64K字节Flash。一个用户配置区，用于系统初始化。引导存储器区(LDROM)，用于在系统编程(ISP)功能，安全保护ROM(SPROM)可以用来隐藏客户程序。此芯片同样支持在应用编程（IAP）功能，FLASH更新后无需复位芯片就可以切换执行代码。

6.4.2 特性

- 支持32/64K字节应用程序存储空间(APROM)
- 32/64K字节型号的芯片，Flash每页512字节
- 支持2K字节引导存储器 (LDROM)
- 支持与APROM共用空间，大小可配置的数据Flash
- 支持512字节安全保护存储空间(SPROM)可隐藏客户程序
- 支持12字节用户配置块控制系统初始化
- 支持Flash 512字节页擦除
- 支持CRC-32校验和计算功能
- 支持在系统编程（ISP）/在应用编程（IAP）来更新片上Flash代码

6.5 通用 I/O (GPIO)

6.5.1 概述

该芯片最多有28个GPIO，通过芯片配置，这些I/O可以作为其他功能接口，这28个I/O分别位于4个端口，分别是PA，PB，PC，PF。PA端口有8个I/O，PB端口有16个I/O，PC端口有1个I/O，PF端口有3个I/O。每个I/O口都可以独立配置管脚模式功能及数据。

每个I/O类型可以通过软件单独配置为输入，推挽输出，开漏输出或准双向模式，芯片复位后，I/O模式由CIOINI (CONFIG0[10]) 决定。

6.5.2 特性

- 4种I/O口模式：
 - ◆ 准双向模式
 - ◆ 推挽输出模式
 - ◆ 开漏输出模式
 - ◆ 输入模式
- I/O 可配置成边沿/电平触发的中断源
- Schmitt 触发输入
- 通过CIOINI (CONFIG0[10]) 设置，可以配置所有IO口在复位后的默认模式
 - ◆ CIOIN = 0，复位后所有GPIO管脚为准双向模式。
 - ◆ CIOIN = 1，复位后所有GPIO管脚为高阻输入模式
- 仅在准双向模式，I/O 管脚的内部上拉电阻使能
- 支持独立上拉控制
- 使能管脚中断功能同时也使能了唤醒功能
- 除模拟I/O (PA0~PA3, PB0~15, PF0)外，支持5V耐压功能
- GPIO输出可以配置为在系统复位时保留

6.6 PDMA 控制器 (PDMA)

6.6.1 概述

直接存储器访问(PDMA)控制器用于高速数据传输。PDMA控制器可以从一个地址到另一个地址传输数据，无需CPU介入。这样做的好处是减少CPU的工作量，把节省下的CPU资源做其他应用。PDMA控制器包含7个通道，每个通道支持内存和外设之间的数据传输或内存与内存之间的数据传输。

6.6.2 特性

- 支持7个可独立配置的通道
- 支持两种优先级选择（固定优先级和轮循优先级）
- 支持8位，16位，32位数据传输
- 支持源和目标地址自动增加或者固定，数据宽度支持字节，半字，字
- 支持软件，I²C，SPI，UART，ADC，DAC，MANCH和TIMER请求
- 支持Scatter-Gather模式，通过描述表链表执行灵活的数据传输
- 支持单笔和批量传输方式
- 通道0和通道1支持超时功能

6.7 定时器控制器 (TMR)

6.7.1 概述

定时器控制器包含6组32位定时器，定时器0--定时器5。可以让用户很容易的在应用中开发一个定时器应用。定时器能执行的功能有：频率测量，延时，时钟产生，通过外部管脚进行事件计数，通过外部捕获管脚进行脉宽测量。

6.7.2 特性

6.7.2.1 定时器功能特性

- 6 组 32-位定时器，每个定时器带24位向上计数器和一个8位的预分频计数器
- 每个定时器都可以设置独立的时钟源
- 提供单周期（one-shot）,周期（periodic）,反转输出（toggle-output）和连续计数（continuous counting）四种计数操作模式
- 通过CNT(TIMERx_CNT[23:0])可读取内部24位向上计数器的值
- 支持事件计数功能
- 通过CAPDAT (TIMERx_CAP[23:0])可读取24位捕捉值
- 支持外部管脚捕捉功能，可用于脉宽测量
- 支持外部管脚事件计数，可用于复位24位向上定时器
- 支持LIRC变化触发内部捕获功能
- 如果定时器中断信号产生，支持芯片从空闲/掉电模式唤醒
- 支持定时器0 ~ 定时器5 超时溢出中断或捕捉中断来触发ADC, DAC, PDMA, BPWM功能
- 支持定时器间触发模式

6.8 看门狗定时器(WDT)

6.8.1 概述

看门狗定时器(WDT)用于当系统运行到一个未知状态时，通过它来使系统复位。这种做法可以预防系统进入到无限期的死循环。此外，看门狗定时器支持系统从空闲/掉电模式唤醒。

6.8.2 特性

- 20位的向上计数器用于WDT超时时间间隔设置
- 溢出时间间隔($2^4 \sim 2^{20}$) 个WDT_CLK 时钟周期可选，如果WDT_CLK = 38.4 kHz (LIRC)，那么溢出时间间隔是416微秒 ~ 27.3秒
- 系统复位保持时间($1 / \text{WDT_CLK}$) * 63
- 支持看门狗定时器复位延时周期可选, 包括1026、130、18 或 3 个WDT_CLK复位延时周期
- 通过设置Config0寄存器中CWDTEN[2:0]位，支持芯片上电或复位条件下看门狗强制打开
- 如果时钟源选择内部低速时钟（LIRC）时钟，支持看门狗定时器溢出唤醒

6.9 窗口看门狗定时器 (WWDT)

6.9.1 概述

窗口看门狗定时器(WWDT)用于在一个窗口时间内执行系统复位，以防止程序在不可预知条件下跑到一个不可控的状态。

6.9.2 特性

- 6位向下计数值(CNTDAT, WWDT_CNT[5:0])和6位比较值(CMPDAT, WWDT_CTL[21:16])，使得WWDT溢出窗口周期更加灵活
- 支持4-位值(PSCSEL, WWDT_CTL[11:8])选择看门狗预分频值，预分频计数器最大可达11位
- WWDT计数器在空闲或掉电模式下暂停

6.10 基本PWM 发生器和捕获定时器 (BPWM)

6.10.1 概述

该芯片有 1 组 BPWM 发生器 (BPWM1)。BPWM 支持6路BPWM 输出或捕获输入通道。有一个12位的预分频器把时钟源分频后输入给16位的计数器，另外还有一个16位的比较器。BPWM 计数器支持向上、向下和上下三种计数方式。6 路通道共享一个16 位的 BPWM 计数器。BPWM 通过比较比较器和计数器的值来产生事件。这些事件可以用来产生 BPWM 脉冲、BPWM中断和触发ADC，DAC开始转换的信号。BPWM 的输出控制单元支持极性输出、独立的管脚屏蔽和三态输出使能。

BPWM 发生器还支持输入捕获功能，当输入通道有上升沿、下降沿或双边沿信号发生时,锁存 BPWM 计数器的值到对应的寄存器。

6.10.2 特性

6.10.2.1 BPWM 功能特性

- 时钟频率最高可达到最大的 144MHz 频率
- 1 组 BPWM 模块，提供 6 路输出通道
- BPWM 输出/捕获通道支持独立模式
- 从 1 到 4096 的 12 位预分频器
- 支持16 位精度的 BPWM 计数器，模块有 1 个 BPWM 计数器
 - 向上、向下及上下的计数器操作模式
- 每个BPWM 管脚支持屏蔽功能和三态使能
- 以下事件可以触发中断:
 - BPWM 计数器计数到 0 、周期值或比较器值
- 支持触发DAC
- 以下事件可以触发ADC:
 - BPWM 计数器计数到 0 、周期值或比较器值

6.10.2.2 捕获功能特性

- 支持6 路 16 位精度的输入捕获通道
- 支持向上或向下的捕获条件
- 支持向上或向下的捕获中断
- 支持带计数器重载选项的上升/下降沿捕获

6.11 UART 接口控制器 (UART)

6.11.1 概述

该芯片提供1路通用异步收发器(UART)。UART控制器的接收过程是把外设的串行数据转为并行数据，发送过程是把CPU的并行数据转成串行数据发送出去。每个UART通道支持10种类型的中断。UART控制器支持流控功能。UART控制器还支持IrDA SIR，RS-485，单线功能模式和波特率自动测量功能。

6.11.2 特性

- 全双工，异步通讯
- 独立的接收/发送FIFO 1/1字节，用于数据装载
- 支持硬件自动流控制
- 接收器缓存触发等级可设
- 支持每个通道波特率可单独设置
- 支持nCTS 和输入数据的唤醒功能
- 支持8位接收缓存超时溢出检测功能
- 通过设置寄存器DLY(UART_TOUT[15:8])，可配置两个数据之间（从上一个停止位到下一个起始位）的传送时间间隔
- 支持自动波特率测量功能
- 支持break错误、帧错误、校验错误和接收/发送缓存溢出检测功能
- 全部可编程串行接口特性
 - 数据位长度可设为5~8位
 - 可编程校验，包括奇、偶、无校验位或固定校验位生成和检测
 - 可设置停止位长度为1位、1.5位或2位
- 支持IrDA SIR功能模式
 - 标准模式下支持3/16位宽
- 支持RS-485模式
 - 支持RS-485 9位模式
 - 支持软硬件控制nRTS管脚，用于控制RS-485传送方向
- 支持PDMA传输功能
- 支持单线功能模式

UART 特性	UART0
FIFO	1 Bytes
自动流控制(CTS/RTS)	√
IrDA	√
LIN	-
RS-485 功能模式	√
nCTS 唤醒	√
接收数据唤醒	√
接收数据达到设定阈值唤醒	-
RS-485地址匹配(AAD模式)唤醒	-
波特率自动测量	√
停止位长度	1, 1.5, 2 bit
字长	5, 6, 7, 8 bits
偶/奇校验	√
固定位	√

表 6.11-1 UART 特性

6.12 SPI接口(SPI)

6.12.1 概述

SPI接口是全双工同步串行数据通讯接口，可做为主机或从机，用做4线双向通讯。该芯片包含1组SPI控制器，用于对从外围设备接收到的数据执行串并转换，并对发送到外围设备的数据进行并串转换。每个SPI控制器可以配置为主设备或从设备，并支持PDMA功能存取数据缓冲区。

6.12.2 特性

- SPI 模式
 - 1组 SPI 控制器
 - 支持主机模式和从机模式
 - 传输位长可为 8 ~ 32位
 - 提供独立的4级32位（或8级16位）收发FIFO缓存，实际数据位长由SPI的设置决定
 - 支持高位优先（MSB）或低位优先(LSB)时序
 - 支持字节重排功能
 - 支持字节或字暂停模式
 - 总线时钟主机模式最高可到24 MHz，从机模式最高可到16 MHz (当芯片工作在 $V_{DD} = 1.8\sim 3.6V$)
 - 支持一数据通道半双工传输
 - 支持只接收模式
 - 支持 PDMA 传输

6.13 I²C串行接口控制器(I²C)

6.13.1 概述

I²C为双线，双向串行总线，通过简单有效的连线方式实现器件间的数据交换。I²C标准是多主机总线，包括冲突检测和仲裁，以防止在两个或多个主机同时尝试控制总线时发生数据损坏。

有2组I²C控制器，都支持掉电唤醒功能。

6.13.2 特性

I²C通过SDA及SCL两条线与连接在总线上的器件传输信息，总线的主要特性有：

- 支持最多2组I²C接口
- 支持主机/从机模式
- 主从机之间双向数据传输
- 总线支持多主机 (无中心主机)
- 支持标准模式 (100 kbps), 快速模式 (400 kbps)
- 支持快速加模式(1 Mbps) (M030G/M031G)
- 多主机间同时传输数据仲裁，避免总线上串行数据损坏
- 总线采用串行同步时钟，可实现设备之间以不同的速率传输
- 内建14位超时溢出定时器，当I²C总线中止且定时器超时溢出时，产生I²C中断
- 可配置不同时钟以适用于可变速率控制
- 支持7位地址模式
- 支持多地址识别（4组从机地址带mask选项）
- 支持掉电唤醒功能
- 支持带有一个缓冲的PDMA
- 支持2级缓存功能(仅从机模式支持)
- 支持建立/保持时间可编程
- 支持内置I²C引导加载程序

6.14 CRC 控制器 (CRC)

6.14.1 概述

CRC循环冗余发生器使用4种常见的多项式CRC-CCITT, CRC-8, CRC-16, 和 CRC-32 执行 CRC 计算。

6.14.2 特性

- 支持4种常见的多项式 CRC-CCITT, CRC-8, CRC-16, 和CRC-32
 - CRC-CCITT: $X^{16} + X^{12} + X^5 + 1$
 - CRC-8: $X^8 + X^2 + X + 1$
 - CRC-16: $X^{16} + X^{15} + X^2 + 1$
 - CRC-32: $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$
- 可编程种子值
- 对于输入数据和CRC 校验和, 支持可编程的位顺序反转设定
- 对于输入数据和CRC 校验和, 支持可编程的补码设定
- 支持 8/16/32位 数据宽度
 - 8-位写模式: 1-AHB 时钟周期操作
 - 16-位写模式: 2-AHB 时钟周期操作
 - 32-位写模式: 4-AHB 时钟周期操作
- 支持使用 PDMA 写数据去执行CRC操作

6.15 CRC 控制器(CRC) – 可配置

6.15.1 概述

循环冗余校验(CRC)发生器可以执行8位，16位和32位可配置多项式的CRC计算。

6.15.2 特性

- 支持8位，16位和32位可配置多项式
- 可编程种子值
- 对于输入数据和CRC 校验和，支持可编程的位顺序反转设定
- 对于输入数据和CRC 校验和，支持可编程的补码设定
- 支持 8/16/32-位 数据宽度
 - 8-位写模式: 1-AHB 时钟周期操作
 - 16-位写模式: 2-AHB 时钟周期操作
 - 32-位写模式: 4-AHB 时钟周期操作
- 支持使用 PDMA 写数据去执行CRC操作

6.16 曼彻斯特控制器 (MANCH)

6.16.1 概述

曼彻斯特码用来在单一总线上传输大量连续的数据，而没有同步时钟。每一位编码数据位，在中间有一个边沿转换用来同步内部时钟。因此，接收和发送的时钟误差，不会影响通信。

该曼彻斯特控制器支持编码和解码功能，支持至少两种调制信号格式（模式1和模式2），也支持可编程格式。总线数据包的前导码和空闲部分的格式可以定义。曼彻斯特控制器支持3个4级FIFO用于传输、编码和解码数据。为了从FIFO读/写数据，可以使用PDMA，且可结合其他外设。曼彻斯特编码边沿功能可以用来触发定时器控制器，并与PDMA和DAC互连。

6.16.2 特性

- 支持编码/解码曼彻斯特码
- 支持不同调制信号格式
 - 模式1
 - 模式2
 - 可编程格式
 - ◆ 空闲部分可编程
 - ◆ 前导码和传输数量可编程
 - ◆ 一帧字节数可编程
- 支持可配置曼彻斯特位速率
- 支持可选的抗尖峰脉冲时间功能
- 支持3个4级FIFO用于传输、编码和解码数据
- 支持独立的PDMA用于数据接收/传输
- 支持曼彻斯特编码边沿触发定时器控制器
- 支持位错误检测、接收FIFO溢出、接收帧完成和发送帧完成中断

6.17 模数转换器(ADC)

6.17.1 概述

该ADC包含一个12位逐次逼近型模数转换器(SAR A/D转换器)，包含16个输入通道。A/D转换器支持四种操作模式：单次模式、Burst 模式、单周期扫描模式和连续扫描模式。A/D转换器可以通过软件、外部STADC引脚(STADC)、定时器0~5溢出脉冲触发或BPWM触发转换。

6.17.2 特性

- 操作电压：1.8V~3.6V
- 模拟输入电压：0 ~ AV_{DD}
- 支持V_{REF}管脚输入的外部参考电压
- 12位分辨率和10位精度保证
- 16路单端输入或8对差分输入
- 最大ADC外设时钟频率是34 MHz.
- 高达1.4 MSPS采样率(M029G/M030G) 或2 MSPS采样率(M031G)
- 扫描使能通道
- 门限电压检测
- 4种操作模式：
 - 单一模式：在指定通道执行一次 A/D 转换
 - Burst 模式：A/D 转换器连续的采样转换指定通道并将结果存储到FIFO中
 - 单周期扫描模式：A/D转换器执行一次指定的几个通道的AD采集转换，其采集转换顺序是从编号最小的通道到编号最大的通道
 - 连续扫描模式：A/D转换器连续的执行单周期扫描模式直到软件停止A/D转换
- A/D 转换可有以下几种方式触发：
 - 软件写 1 到 ADST 位
 - 外部管脚 (STADC)
 - 定时器 0~5溢出脉冲触发
 - BPWM触发
- 每个通道的转换结果都存到对应的数据寄存器中，并且带有有效和覆盖指示
- 转换结果可以和一个指定的值比较，用户可以选择在与比较寄存器值相等时是否产生中断
- 支持延长采样时间功能 (0~255 ADC 时钟)
- 一个内部band-gap 电压 (VBG)通道
- 一个内部上拉/下拉电路通道
- 支持 PDMA 传输模式
- 支持校准模式
- 支持浮空检测功能

注1: ADC 采样率 = (ADC 外设时钟频率) / (总共 ADC 转换周期)

注2: 如果激活用于band-gap 电压的内部通道, 则采样阶段的最小时间应为 T_{VBG_ADC} 。有关详细信息, 请参阅第8.2节。

注3: ADC 时钟频率必须小于等于PCLK

6.18 数模转换器(DAC)

6.18.1 概述

该DAC模块是一个12位数模转换器，可配置为12位或8位输出模式，并且可以由PDMA控制。集成了一个电压输出缓冲器，可以减小输出阻抗并且可以直接驱动外部负载，无需再加外部运算放大器。

6.18.2 特性

- 输出电压范围：0~AV_{DD}
- 支持12位或8位输出模式
- 轨到轨建立时间5us
- 支持两个12位1 MSPS电压类型DAC (DAC0/DAC1) (M029G)
- 支持四个12位1 MSPS电压类型DAC (DAC0/DAC1/DAC2/DAC3) (M030G/M031G)
- 参考电压可以选择来自内部参考电压(INT_VREF)或V_{REF}引脚
- DAC最大更新率1 MSPS
- 支持电压输出缓存模式和旁路电压输出缓存模式
- 支持软件和硬件触发，包括定时器0~5、BPWM1触发开始DAC转换
- 支持PDMA模式
- 两路DAC支持组模式，可同步更新
- DAC输出可以配置为当系统复位时保留

6.19 外设互连

6.19.1 概述

有些外设之间有内部互连允许自主的通讯或同步动作而不需要CPU的介入。不需要CPU的外设之间交互可以节约CPU资源，减小电源的消耗而且操作不会有软件的延迟和更快的响应。

6.19.2 外设互连矩阵表

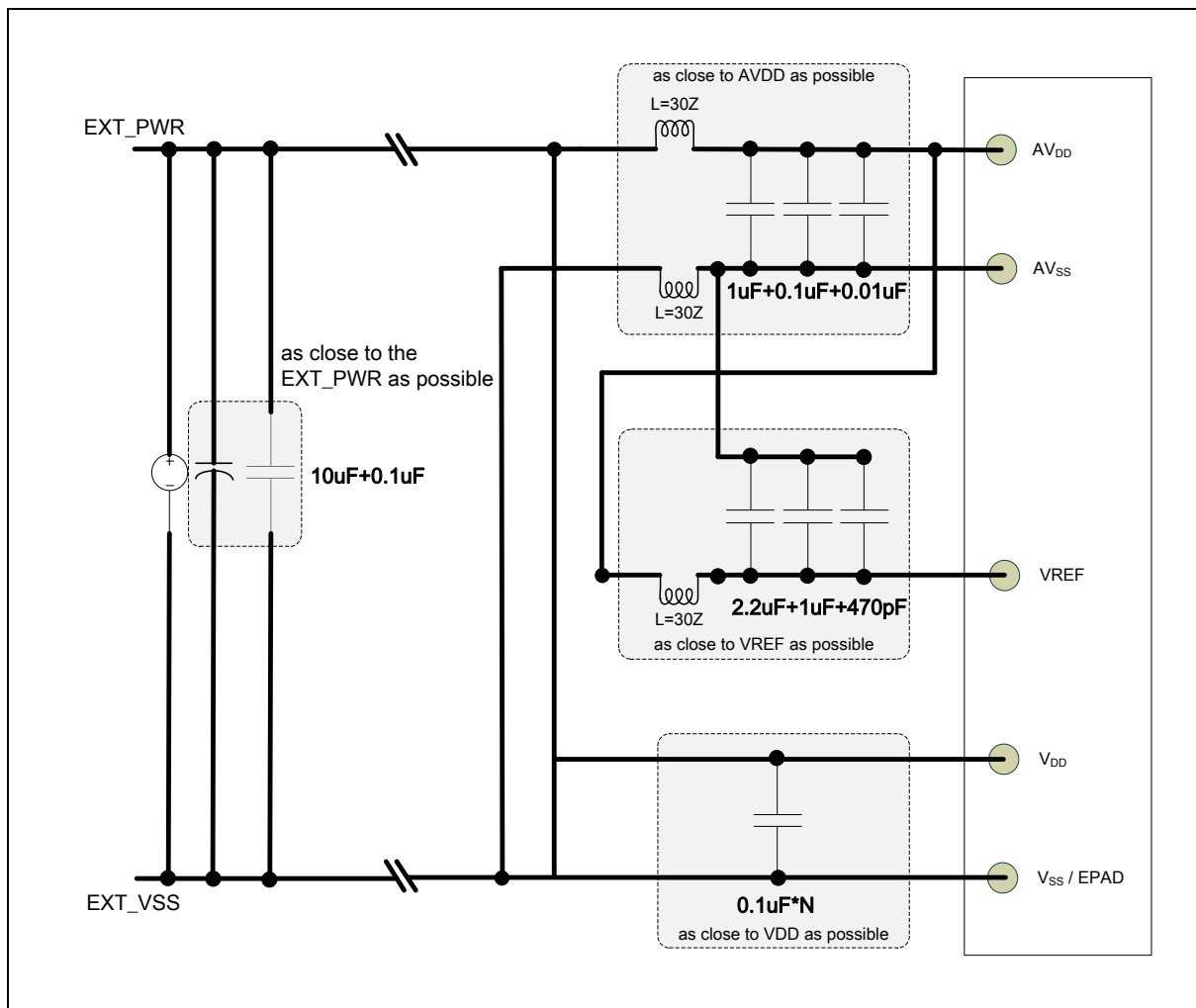
外设互连的详细功能描述，请参考相关技术参考手册。

源	目标			
	ADC	DAC	PWM	Timer
LIRC	-	-	-	√
BPWM	√	√	-	-
Timer	√	√	√	√
Manchester Codec	-	√	-	√

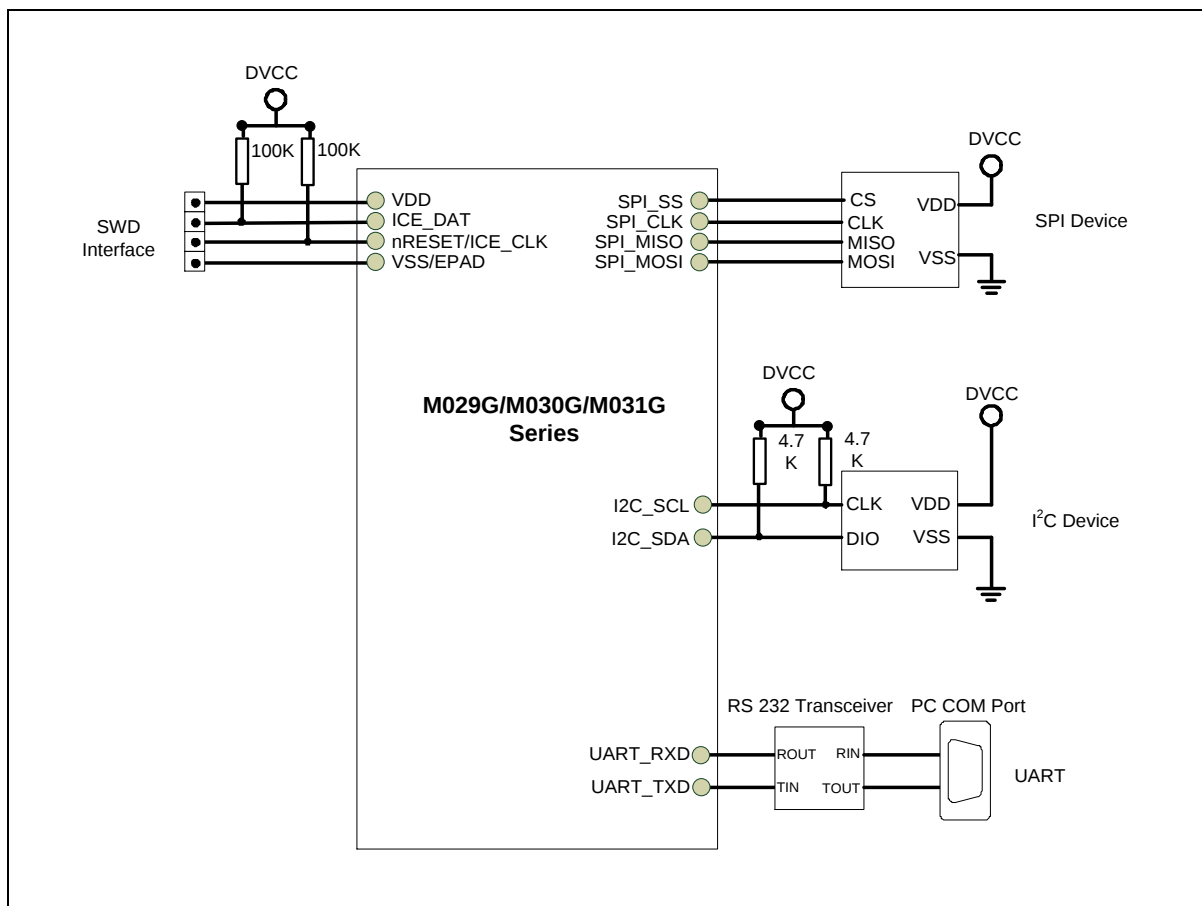
表 6.19-1 外设互连矩阵表

7 应用电路

7.1 供电电路



7.2 外设应用电路



8 电气特性

8.1 绝对最大额定值

超过绝对最大额定值可能对设备造成永久性损伤。极限值仅为额定值，不能用于设备的功能操作。接触绝对最大额定值可能会影响设备的可靠性，并不能保证正常运行。

8.1.1 电压特性

符号	描述	最小值	最大值	单位
$V_{DD}-V_{SS}^{[*1]}$	直流电源电压	-0.3	4.0	V
ΔV_{DD}	不同电源引脚的变化	-	50	mV
$ V_{DD}-AV_{DD} $	V_{DD} 和 AV_{DD} 允许电压差	-	50	mV
ΔV_{SS}	不同地引脚的变化	-	50	mV
$ V_{SS}-AV_{SS} $	V_{SS} 和 AV_{SS} 允许电压差	-	50	mV
V_{IN}	I/O输入电压为5v公差	$V_{SS}-0.3$	5.5	V
	任何其他引脚上的输入电压 ^[*2]	$V_{SS}-0.3$	4.0	V

注:

- 所有电源 (V_{DD} , AV_{DD}) 和地 (V_{SS} , AV_{SS}) 引脚必须连接外部电源。
- 非5v公差I/O包括PA.0 ~ 3; PB.0 ~ 15; PF.0; nRESET引脚。 V_{IN} 最大值必须遵守，以避免永久损坏。最大允许注入电流值见表 8.1-2

表 8.1-1 电压特性

8.1.2 电流特性

符号	描述	最小值	最大值	单位
$\Sigma I_{DD}^{[*1]}$	V_{DD} 最大输入电流	-	150	mA
ΣI_{SS}	V_{SS} 最大输出电流	-	100	
I_{IO}	单一管脚最大灌电流	-	20	
	单一管脚最大流出电流	-	20	
	所有管脚最大灌电流总和 ^[*2]	-	100	
	所有管脚最大输出电流总和 ^[*2]	-	100	
$I_{INJ(PIN)}^{[*3]}$	I/O引脚注入的最大电流	-	±5	
$\Sigma I_{INJ(PIN)}^{[*3]}$	总 I/O 引脚的最大注入电流	-	±25	

注:

- 最大允许电流是器件最大功耗的功能。
- 这个电流消耗必须正确地分布在所有I/Os和控制引脚上。总输出电流不能灌在两个连续的电源插脚之间。
- 阳性注入由 $V_{IN}>A_{VDD}$ 引起，阴性注入由 $V_{IN}<V_{SS}$ 引起。绝对不能超过 $I_{INJ(PIN)}$ 。建议在模拟输入引脚和电压供应引脚之间连接一个过电压保护二极管。

表 8.1-2 电流特性

8.1.3 温度特性

平均结温计算公式如下:

$$T_J = T_A + (P_D \times \theta_{JA})$$

- T_A = 环境温度 (°C)
- θ_{JA} = 环境热阻 (°C/Watt)
- P_D = 内部和I/O功耗的总和

符号	描述	最小值	典型值	最大值	单位
T_A	环境温度	-40	-	105	°C
T_J	结温度	-40	-	125	
T_{ST}	存储温度	-65	-	150	
$\theta_{JA} [^{\circ}1]$	热阻 24-pin QFN(3x3 mm)	-	68	-	°C/Watt
	热阻 33-pin QFN(4x4 mm)	-	37.9	-	°C/Watt
注: 1. 根据JESD51-2集成电路热测试方法确定环境条件					

表 8.1-3 温度特性

8.1.4 EMC 特性

8.1.4.1 静电放电 (ESD)

对于Nuvoton单片机产品，内置ESD保护电路，避免了典型的ESD可能造成的任何损坏。

8.1.4.2 静态latchup

需要对6个部分进行两个互补的静态测试来评估latchup

演示:

- 每个电源引脚上都加有过电压保护
- 对每个输入、输出和可配置的I/O引脚进行电流注入

8.1.4.3 电气快速瞬变(EFT)

在某些应用电路中，组成部分会在配电系统上产生快速、窄高频瞬变脉冲。

- 电感负载:
 - 继电器、开关器
 - 断电时的重型电机等.

国际电子委员会(IEC)在IEC 61000-4-4中定义了电子产品的快速瞬态脉冲要求。

符号	描述	最小值	典型值	最大值	单位
$V_{HBM}^{[*1]}$	静电放电，人体模式	-7000	-	+7000	V
$V_{CDM}^{[*2]}$	静电放电，充电设备模式	-1000	-	+1000	
$LU^{[*3]}$	锁存引脚电流 ^[*3]	-400	-	+400	mA
$V_{EFT}^{[*4]}$	快速瞬变电压脉冲	-4.4	-	+4.4	kV
注: - 根据ANSI/ESDA/JEDEC JS-001标准确定，静电放电灵敏度测试-人体模型(HBM) -器件级 - 根据ANSI/ESDA/JEDEC JS-002静电放电灵敏度(ESD)测试标准确定。-充电设备模型 (CDM) -器件级。 - 根据JEDEC EIA/JESD78标准测定。 - 根据IEC61000 -4-4电快速瞬变/突发抗扰性试验确定。性能等级为4A级。					

表 8.1-4 EMC 特性

8.1.5 包装湿度敏感性(MSL)

所有的Nuvoton表面贴装芯片都有一个湿度等级分类。信息也显示在包装袋上。

封装	MSL
24-pin QFN(3x3 mm) ^[*1]	MSL 3
33-pin QFN(4x4 mm) ^[*1]	MSL 3
注: 1. 根据IPC/JEDEC J-STD-020确定	

表 8.1-5 包装湿度敏感性 (MSL)

8.1.6 焊接概要

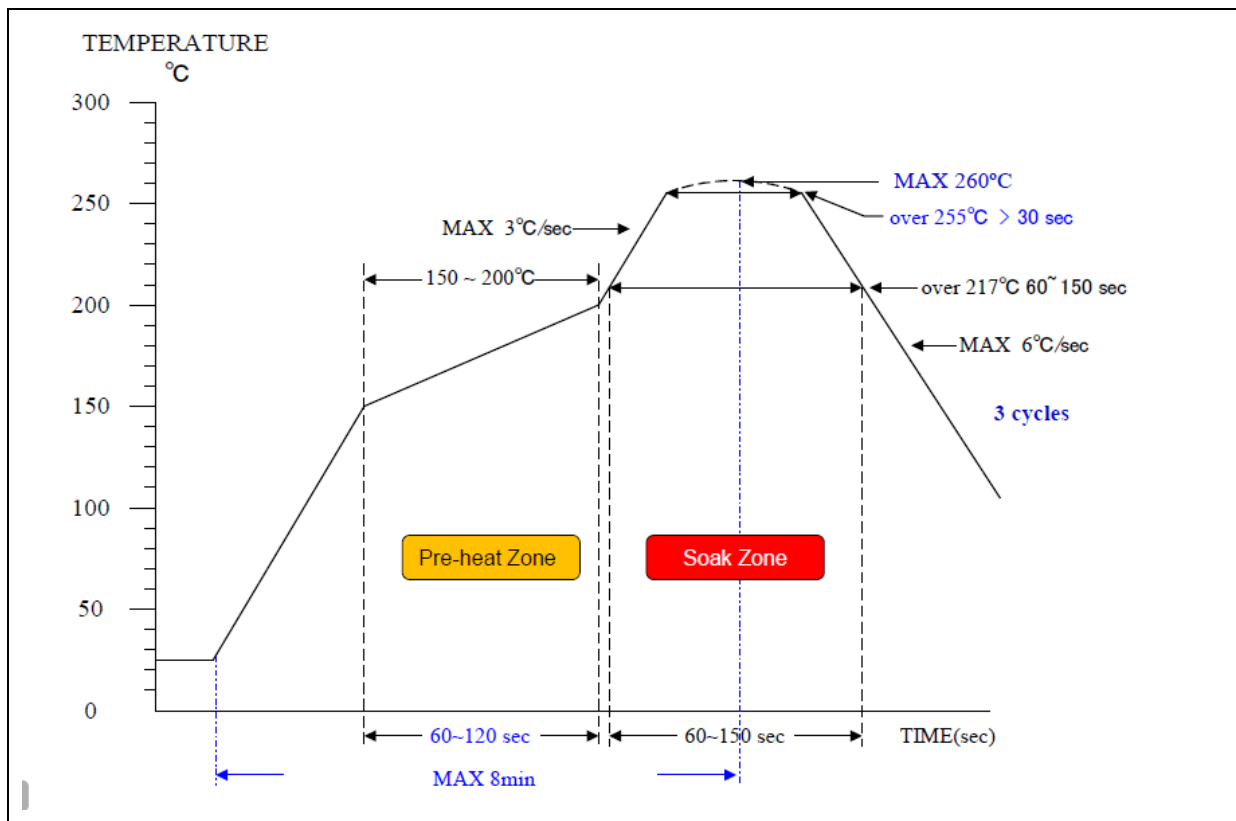


图 8.1-1 焊接概要文件来自于 J-STD-020C

Porfile 特性	Pb Free 包装
平均加速率 (217°C to peak)	3°C/sec. max
预热温度 150°C ~200°C	60 sec. to 120 sec.
温度保持在 217°C	60 sec. to 150 sec.
5°C温度峰值的时间	> 30 sec.
峰值温度范围	260°C
缓降率	6°C/sec ax.
25°C温度峰值的时间	8 min. max
注: 1. 根据J-STD-020C确定	

表 8.1-6 焊接概要

8.2 常规操作条件

($V_{DD}-V_{SS} = 2.7 \sim 3.6V$, $T_A = 25^{\circ}C$, $HCLK = 48/72\text{ MHz}$ 除非另有说明)

符号	参数	最小值	典型值	最大值	单位	测试条件
T _A	温度	-40	-	105	°C	
f _{HCLK}	内部 AHB 时钟频率	-	-	72	MHz	V _{DD} = 2.7V~3.6V
V _{DD}	操作电压	2.7	-	3.6	V	V _{DD} > BOD当芯片上电时的检测电压 [4]
AV _{DD} [1]	模拟操作电压	V _{DD}				
V _{REF}	模拟参考电压	2.048	-	AV _{DD}		V _{REF} <= AV _{DD} - 0.2V, 当VREFEN (SYS_VREFCTL[0]) =1'b1. V _{REF} <= AV _{DD} , 当VREFEN (SYS_VREFCTL[0]) =1'b0.
V _{BG} [3]	Band-gap 电压	1.16	1.23	1.31		
T _{VBG_ADC} [3]	读取band-gap电压时, ADC采样时间	20	-	-	μS	
I _{RUSH} [2]	调压器通电涌流(POR或从待机状态唤醒)	-	150	200	mA	
E _{RUSH} [2]	调压器通电涌流能量(POR或从待机状态唤醒)	-	2.25	3.00	μC	V _{DD} = 2.7 V, T _A = 105 °C, I _{RUSH} = 150 mA 对应15 us
注:						
1. 建议从同一个源为V _{DD} 供电。V _{DD} 在通电和关机操作时, 可以容忍0.3 V的最大差异。						
2. 该表是设计保证, 产品中并没有测量。						
3. 基于特性, 除非另有说明, 否则不进行生产测试。						
4. BOD超时检测功能默认开启, BODVL设置为0。芯片上电时, V _{DD} 和AV _{DD} 应高于BOD检测电压, 否则芯片将停留在复位阶段。						

表 8.2-1 常规操作条件

8.3 DC 电气特性

8.3.1 电源电流特性

当前的功耗是由操作频率、设备软件配置、I/O引脚配置、I/O引脚切换速率、程序在内存中的位置等内外参数和因素共同作用的结果。电流消耗按下列条件和表中所述进行测量，测试结果如下所示。

- 所有GPIO引脚均处于推挽模式，输出高
- V_{DD} 的最大值= 3.6 V，环境温度 T_A 的典型值= 25°C和 $V_{DD}=2.7V \sim 3.6 V$
- $V_{DD} = AV_{DD}$
- 当外设使能HCLK为系统时钟时， $f_{PCLK0,1} = f_{HCLK}$
- 程序运行while(1)代码在Flash中

符号	条件	F _{HCLK}	典型值 ^[1]	最大值 ^{[1][2]}			单位
			T _A = 25 °C	T _A = 25 °C	T _A = 85 °C	T _A = 105 °C	
I _{DD_RUN}	正常运行模式，运行在 Flash， 所有外设禁用 HIRC, PLL clock	72 MHz	14.30	14.65	14.80	15.05	mA
		48 MHz	9.80	9.95	10.25	10.50	
		24 MHz	6.40	6.50	6.80	7.00	
		12 MHz	4.70	4.75	5.00	5.20	
		4 MHz	3.50	3.55	3.75	3.95	
	正常运行模式，运行在 Flash， 所有外设使能 HIRC, PLL clock	72 MHz	22.65	23.05	23.50	23.85	
		48 MHz	15.45	15.75	16.20	16.45	
		24 MHz	9.35	9.55	9.85	10.10	
		12 MHz	6.25	6.35	6.65	6.85	
		4 MHz	4.15	4.20	4.45	4.65	

注:

- 当ADC, DAC, 温度传感器, INT_VREF, PLL, HIRC等模拟外设模块打开时，需要考虑额外的功耗
- 产品中没有测量，除非另有说明

表 8.3-1 正常模式下的电流消耗

符号	条件	F _{CLK}	典型值	最大值 ^{[1] [2]}				单位
			T _A = 25 °C	T _A = 25 °C	T _A = 85 °C	T _A = 105 °C		
I _{DD_IDLE}	空闲模式，所有外设禁用 HIRC, PLL 时钟	72 MHz	6.90	7.00	7.25	7.50	mA	
		48 MHz	4.05	4.10	4.35	4.55		
		24 MHz	3.55	3.60	3.80	4.00		
		12 MHz	3.25	3.25	3.50	3.60		
		4 MHz	3.00	3.05	3.25	3.45		
	空闲模式，所有外设使能 HIRC, PLL 时钟	72 MHz	15.15	15.45	15.90	16.25		
		48 MHz	9.60	9.75	10.15	10.40		
		24 MHz	6.30	6.40	6.70	6.95		
		12 MHz	4.60	4.70	4.95	5.15		
		4 MHz	3.50	3.55	3.75	3.95		

注:

1. 当ADC, DAC, 温度传感器, INT_VREF, PLL, HIRC等模拟外设模块打开时，需要考虑额外的功耗。

2. 产品中没有测量，除非另有说明

表 8.3-2 空闲模式下的电流消耗

符号	测试条件	典型值 ^[1]	最大值 ^{[2][3]}				单位
		T _A = 25 °C	T _A = 25 °C	T _A = 85 °C	T _A = 105 °C		
I _{DD_PD}	掉电模式, 所有外设禁用	1730	1820 ^[4]	2080	2350 ^[4]	μA	
	掉电模式, UART/Timer/WDT 使用 LIRC	1730	1825	2085	2355		

注:

1. V_{DD} = AV_{DD} = 3.3V, LVR23 使能, POR 禁用和 BOD 禁用.

2. 产品中沒有測量, 除非另有說明

3. 当ADC, DAC, 温度传感器, INT_VREF, PLL, HIRC等模拟外设模块打开时, 需要考虑额外的功耗

4. 基本特性, 在生产中已测试

表 8.3-3 芯片在掉电模式下的电流消耗

8.3.2 片上外设电流消耗

- $T_A = 25\text{ }^{\circ}\text{C}$ 和 $V_{DD} = 3.3\text{ V}$.
- GPIO引脚均设置为推挽模式输出高，无多功能
- HCLK 是系统时钟, $f_{HCLK} = 48\text{ MHz}$, $f_{PCLK0,1} = f_{HCLK}$.
- 结果值是通过测量所有外设时钟关闭和只有一个外设时钟打开之间的电流消耗差来计算的

外设	$I_{DD}^{[*1]}$	单位
PDMA	305	uA
ISP	0.1	
CRC	44	
WDT/WWDT	120	
TMR0	270	
TMR1	260	
TMR2	315	
TMR3	320	
TMR4	290	
TMR5	270	
CLKO	75	
I2C0	60	
I2C1	55	
SPI0	665	
UART0	505	
ADC ^[*2]	530	
BPWM1	615	
DAC0 ^[*3]	85	
DAC1 ^[*3]	70	
Manch. Codec	675	
温度传感器 ^[*4]	0.1	

注:

1. 产品中没有测量，除非另有说明。
2. 当ADC打开时，为模拟部分每个ADC增加额外的功耗。
3. 当DAC被打开时，为模拟部分每个DAC增加额外的功耗。
4. 温度传感器没有这个测试项的时钟使能位。当温度传感器打开时，每个温度传感器的模拟部分增加一个额外的功耗。

表 8.3-4 外设电流消耗

8.3.3 低功耗模式下的唤醒时间

表 8.3-5中给出的唤醒时间是在48MHz HIRC振荡器的唤醒阶段测量的。

符号	参数	典型值	最大值	单位
t_{WU_IDLE}	空闲模式唤醒	5	6	cycles
$t_{WU_NPD}^{[*1][*2]}$	正常掉电模式下唤醒	13	-	μs
注: 1. 基于表征过程中的测试，而不是在生产中测试。 2. 唤醒时间是从唤醒事件到应用程序代码读取第一条指令的时间 3. 设计保证				

表 8.3-5 低功耗模式唤醒时间

8.3.4 I/O 电流注入特性

一般来说，在正常产品运行期间，应避免由于外部电压低于 V_{SS} 或高于 V_{DD} （5V耐受性I/O除外）而导致的I/O电流注入。然而，MCU的模拟元件最有可能受到注入电流的影响，但当意外发生异常注入时，它不容易被确认。建议将肖特基二极管（引脚对地或引脚对 V_{DD} ）添加到包含可能注入电流的模拟功能的引脚上。

符号	参数	负注入	正注入	单位	测试条件
$I_{INJ(PIN)}$	注入电流通过 I/O 引脚	-0	0	mA	复位脚上注入电流
		-0	0		注入电流在PA0~PA3 和PB0~PB15的模拟输入脚上
		-5	+5		任何其他5v I/O注入电流

表 8.3-6 I/O 电流注入特性

8.3.5 I/O DC 特性

8.3.5.1 PIN 输入特性

符号	参数	最小值	典型值	最大值	单位	测试条件
V_{IL}	输入低电压	0	-	$0.3 \cdot V_{DD}$	V	
V_{IH}	输入高电压	$0.7 \cdot V_{DD}$	-	V_{DD}	V	
$V_{HY}^{[1]}$	施密特输入的迟滞电压	-	$0.2 \cdot V_{DD}$	-	V	
$I_{LK}^{[2]}$	输入漏电流	-1	-	1	μA	$V_{SS} < V_{IN} < V_{DD}$, 开漏模式或输入模式
		-1	-	1		$V_{DD} < V_{IN} < 5V$, 5v引脚上的开漏模式或输入模式
$R_{PU}^{[1]}$	上拉寄存器	32	38	54	k Ω	$V_{DD} = 3.6V$, 输入模式
		45	60	79		$V_{DD} = 2.7V$, 输入模式

注:

1. 基于表征过程中的测试，而不是在生产中测试
2. 如果发生异常注入，泄漏可能会超过最大值

表 8.3-7 I/O 输入特性

8.3.5.2 I/O 输出特性

符号	参数	最小值	典型值	最大值	单位	测试条件
$I_{SR}^{[*1][*2]}$	拉电流（准双向模式并高电平）	-25.5	-28	-32	μA	$V_{DD} = 3.3 V$ $V_{IN} = (V_{DD} - 0.4) V$
		-18	-22	-24	μA	$V_{DD} = 2.7 V$ $V_{IN} = (V_{DD} - 0.4) V$
	拉电流（推挽模式并高电平）	-8	-10	-15	mA	$V_{DD} = 3.3 V$ $V_{IN} = (V_{DD} - 0.4) V$
		-6	-8	-13	mA	$V_{DD} = 2.7 V$ $V_{IN} = (V_{DD} - 0.4) V$
$I_{SK}^{[*1][*2]}$	灌电流（推挽模式并低电平）	7.5	9	14.5	mA	$V_{DD} = 3.3 V$ $V_{IN} = 0.4 V$
		6	7.5	13	mA	$V_{DD} = 2.7 V$ $V_{IN} = 0.4 V$
$C_{IO}^{[*1]}$	I/O 引脚电容	-	5	-	pF	
注:						
1. 由表征结果保证，没有在生产中测试。						
2. I_{SR} 和 I_{SK} 必须始终符合最大电流和I/O的总和,CPU和外设不得超过 ΣI_{DD} 和 ΣI_{SS} 。						

表 8.3-8 I/O 输出特性

8.3.5.3 nRESET 输入特性

符号	参数	最小值	典型值	最大值	单位	测试条件
V _{ILR}	负向阈值电压, nRESET	-	-	0.3*V _{DD}	V	
V _{IHR}	正向阈值电压, nRESET	0.7*V _{DD}	-	-	V	
R _{RST} ^[*1]	nRESET 脚内部上拉电阻	32	38	54	KΩ	V _{DD} = 3.6 V
		45	60	79		V _{DD} = 2.7 V
t _{FR} ^[*1]	nRESET 脚输入滤波脉冲时间	-	32	-	μS	正常运行模式和空闲模式 32us=3*512*HIRC
		31.36	-	32.64		掉电模式
注:						
1. 由表征结果保证，没有在生产中测试						

表 8.3-9 nRESET 输入特性

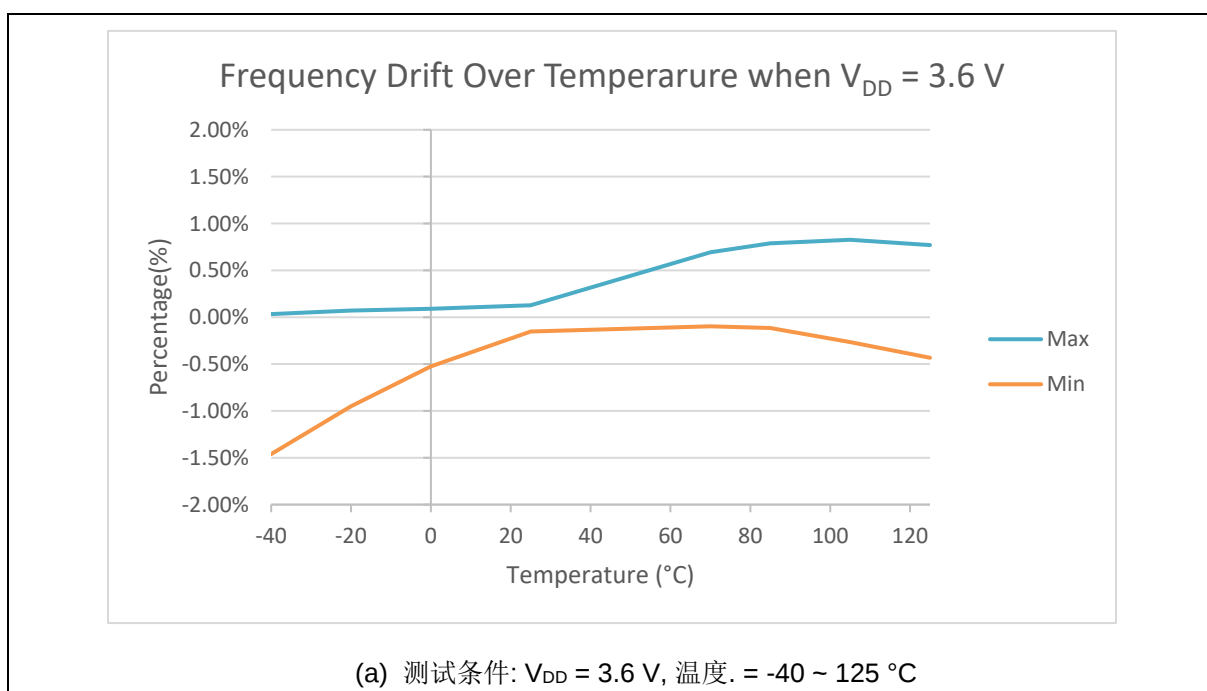
8.4 AC 电气特性

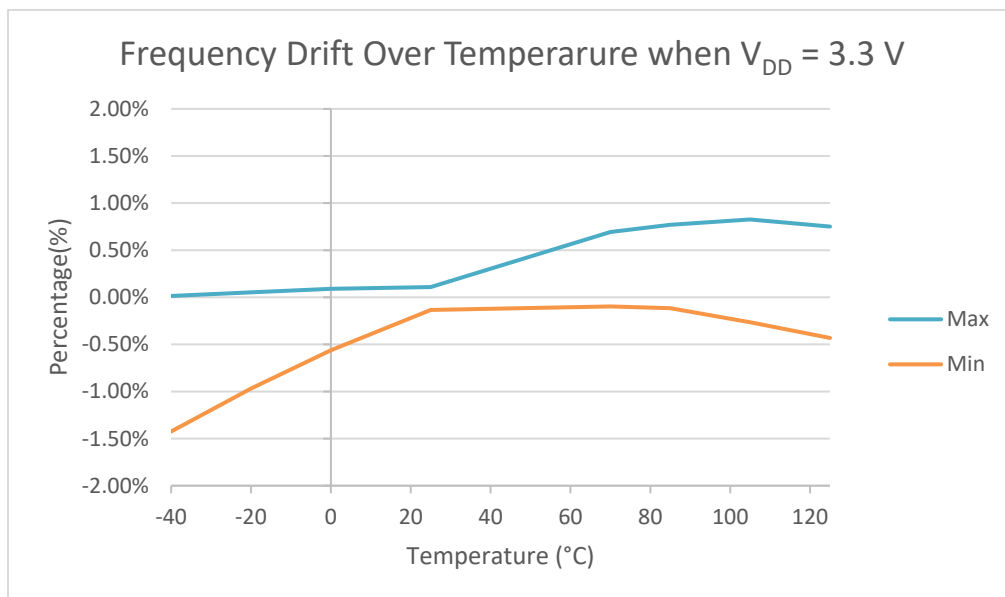
8.4.1 48 MHz 内部高速 RC 振荡器(HIRC)

48 MHz RC 振荡器在生产中经过校准

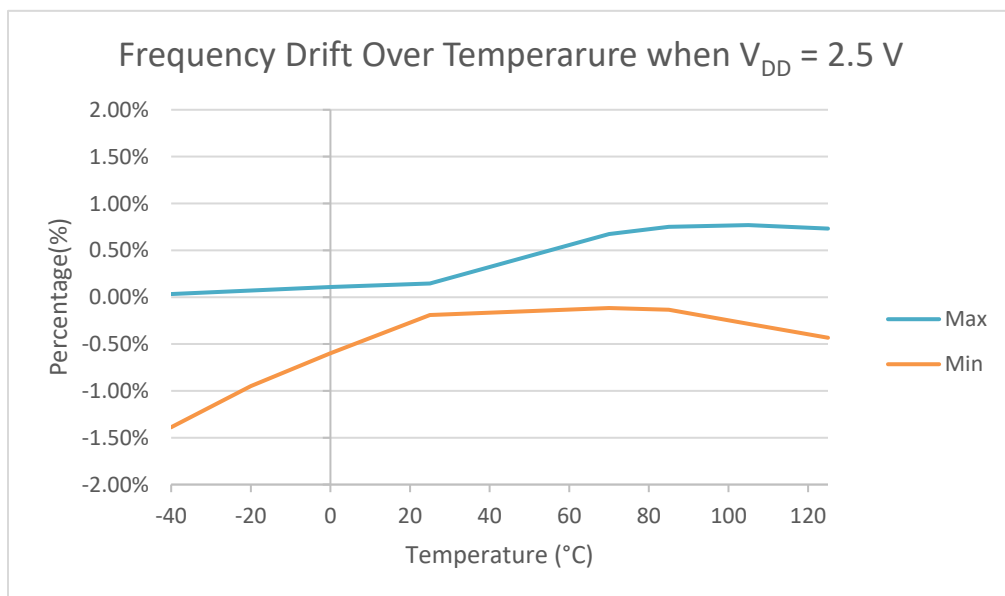
符号	参数	最小值	典型值	最大值	单位	测试条件
V_{DD}	操作电压	2.7	3.3	3.6	V	
$f_{HIRC}^{[1]}$	振荡器频率	-	48	-	MHz	$T_A = 25\text{ }^{\circ}\text{C}$, $V_{DD} = 3.3\text{V}$
	频率精度	-0.5	-	+0.5	%	$T_A = 25\text{ }^{\circ}\text{C}$, $V_{DD} = 3.3\text{V}$
		-0.7	-	+0.7	%	$T_A = 0\text{ }^{\circ}\text{C} \sim +70\text{ }^{\circ}\text{C}$, $V_{DD} = 3.3\text{V}$
		-1	-	+1	%	$T_A = -20\text{ }^{\circ}\text{C} \sim +105\text{ }^{\circ}\text{C}$, $V_{DD} = 3.3\text{V}$
		-2	-	+2	%	$T_A = -40\text{ }^{\circ}\text{C} \sim +105\text{ }^{\circ}\text{C}$, $V_{DD} = 2.7 \sim 3.6\text{V}$
$I_{HIRC}^{[1]}$	操作电流	-	500	700	μA	
$T_S^{[2]}$	稳定时间	-	-	20	μs	$T_A = -40\text{ }^{\circ}\text{C} \sim +105\text{ }^{\circ}\text{C}$, $V_{DD} = 2.7 \sim 3.6\text{V}$
注: 1. 由表征结果保证, 没有在生产中测试. 2. 保证了设计						

表 8.4-1 48 MHz 内部高速 RC 振荡器(HIRC) 特性





(b) 测试条件: $V_{DD} = 3.3\text{ V}$, 温度. = $-40 \sim 125\text{ }^{\circ}\text{C}$



(c) 测试条件: $V_{DD} = 2.5\text{ V}$, 温度. = $-40 \sim 125\text{ }^{\circ}\text{C}$

注:

1. 该图是使用有限数量样本的统计结果, 实际特性范围见表 8.4-1.

图 8.4-1 HIRC vs. 温度

8.4.2 38.4 kHz 内部低速 RC 振荡器 (LIRC)

符号	参数	最小值 [1]	典型值	最大值 [1]	单位	测试条件
V_{DD}	操作电压	2.7	3.3	3.6	V	
$F_{LRC}^{[2]}$	振荡器频率	-	38.4	-	kHz	
	频率精度	-	1	-	%	$T_A = 25\text{ }^{\circ}\text{C}$, $V_{DD} = 3.3\text{V}$
		-50	-	+50	%	$T_A = -40\sim 105\text{ }^{\circ}\text{C}$ $V_{DD} = 2.7\text{V}\sim 3.6\text{V}$ 没有软件校准
I_{LRC}	操作电流	-	1	1.1	μA	$V_{DD} = 3.3\text{V}$
T_S	准备时间	-	100	-	μs	$T_A = -40\sim 105\text{ }^{\circ}\text{C}$ $V_{DD} = 2.7\text{V}\sim 3.6\text{V}$
注: 1. 保证产品特性, 不经生产检验 2. 用户可对38.4 kHz的RC低速振荡器进行校准						

表 8.4-2 38.4 kHz 内部低速 RC 振荡器(LIRC) 特性

8.4.3 PLL 特性

符号	参数	最小值	典型值	最大值[1]	单位	测试条件
f_{PLL_in}	PLL 输出时钟	3.2	-	32	MHz	
f_{PLL_OUT}	PLL 倍频输出时钟	50	-	144	MHz	
f_{PLL_REF}	PLL 参考时钟	0.8	-	8	MHz	
f_{PLL_VCO}	PLL 电压控制振荡器	200	-	500	MHz	
T_L	PLL 锁定时间	-	-	500	μs	
Jitter ^[2]	周期抖动	-	200	350	pS	
I_{DD}	功耗	-	5	9	mA	$V_{DD} = 3.3\text{V}$ @ $f_{PLL_OUT} = 144\text{ MHz}$
注: 1. 保证产品特性, 不经生产检验 2. 保证产品设计, 不经生产检验。 f_{PLL_OUT} 须满足CPU和外设的限制。						

表 8.4-3 PLL 特性

8.4.4 I/O AC 特性

符号	参数	典型值	最大值 [1]	单位	测试条件 ^[2]
$t_{(IO)out}$	输出高 (90%)到低电平 (10%) 下降时间	-	6	ns	$C_L = 30\text{ pF}$, $V_{DD} \geq 2.7\text{ V}$

		-	3.5		$C_L = 10\text{ pF}, V_{DD} \geq 2.7\text{ V}$
$t_{r(I/O)out}$	输出低(10%) 到高电平 (90%) 上升时间	-	6	ns	$C_L = 30\text{ pF}, V_{DD} \geq 2.7\text{ V}$
		-	3.5		$C_L = 10\text{ pF}, V_{DD} \geq 2.7\text{ V}$
$I_{DIO}^{[4]}$	I/O 动态电流消耗	-	2.77	mA	$C_L = 30\text{ pF}, V_{DD} = 3.3\text{ V},$ $f_{(I/O)out} = 24\text{ MHz}$
		-	1.19		$C_L = 10\text{ pF}, V_{DD} = 3.3\text{ V},$ $f_{(I/O)out} = 24\text{ MHz}$

注:

1.保证产品特性，不经生产检验

2. C_L 是一种模拟PCB和器件负载的外部电容负载。

3.I/O 动态电流消耗定义为 $I_{DIO} = V_{DD} \times f_{IO} \times (C_{IO} + C_L)$

表 8.4-4 I/O AC 特性

8.5 模拟特性

8.5.1 复位和电源控制特性

下表参数来源于环境温度下的试验。

符号	参数	最小值	典型值	最大值	单位	测试条件
I _{POR} ^[*1]	POR 操作电流	-	20	30	μA	AV _{DD} = 3.6V
I _{LVR} ^[*1]	LVR 操作电流	-	2	3.6		AV _{DD} = 3.6V
I _{BOD} ^[*1]	BOD 操作电流	-	3	5.5		AV _{DD} = 3.6V
V _{POR}	POR 复位电压	2	2.2	2.4	V	-
V _{LVR}	LVR 复位电压	2.16	2.3	2.44		-
V _{BOD}	BOD 欠压检测电压	2.35	2.5	2.65		BODVL = 0
		2.54	2.7	2.86		BODVL = 1
T _{LVR_SU} ^[*1]	LVR 启动时间	-	140	240	μs	-
T _{LVR_RE} ^[*1]	LVR 反应时间	-	9	12		-
T _{BOD_SU} ^[*1]	BOD 启动时间	-	1000	1740		-
T _{BOD_RE} ^[*1]	BOD 反应时间	-	100	165		-
R _{VDDR} ^[*1]	V _{DD} 上升时间速率	10	-	-	μs/V	POR/LVR/BOD 使能 (BODVL=0)
R _{VDDF} ^[*1]	V _{DD} 下降时间速率	10	-	-		POR使能
		80	-	-		LVR使能
		470	-	-		BOD 2.5V使能
		305	-	-		BOD 2.7V使能

注：

1.

保证产品特性，不经生产检验

2.

适用于特定的应用场合。

表 8.5-1 复位和电源控制单元

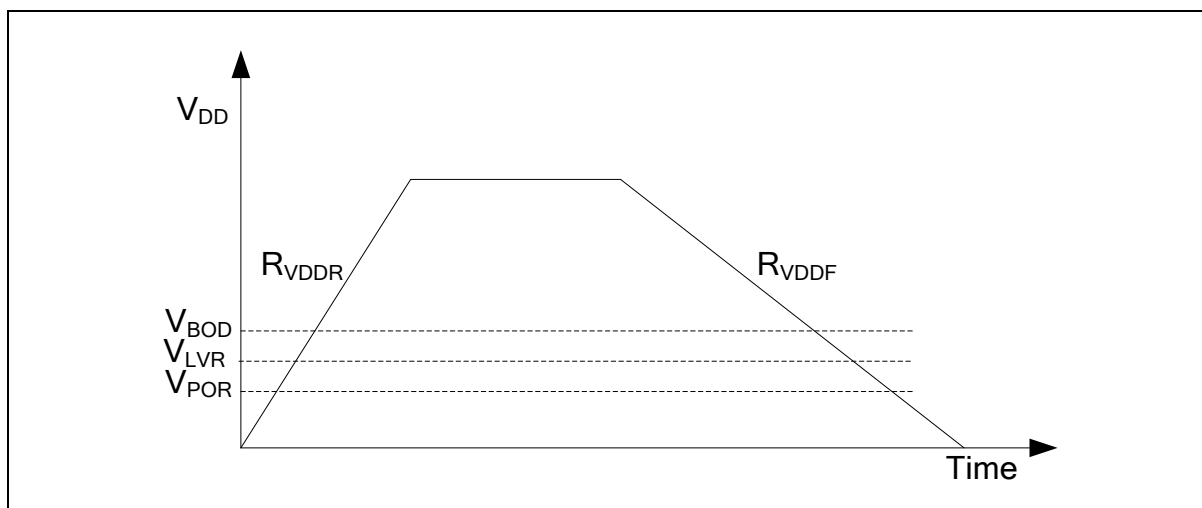
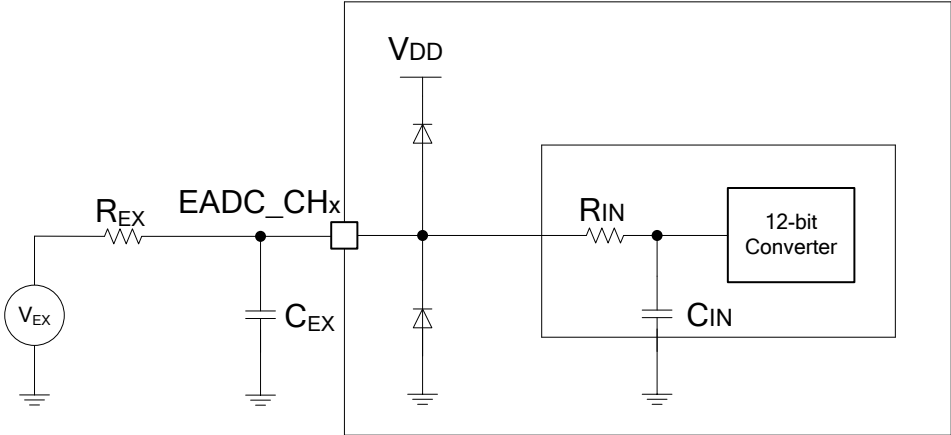


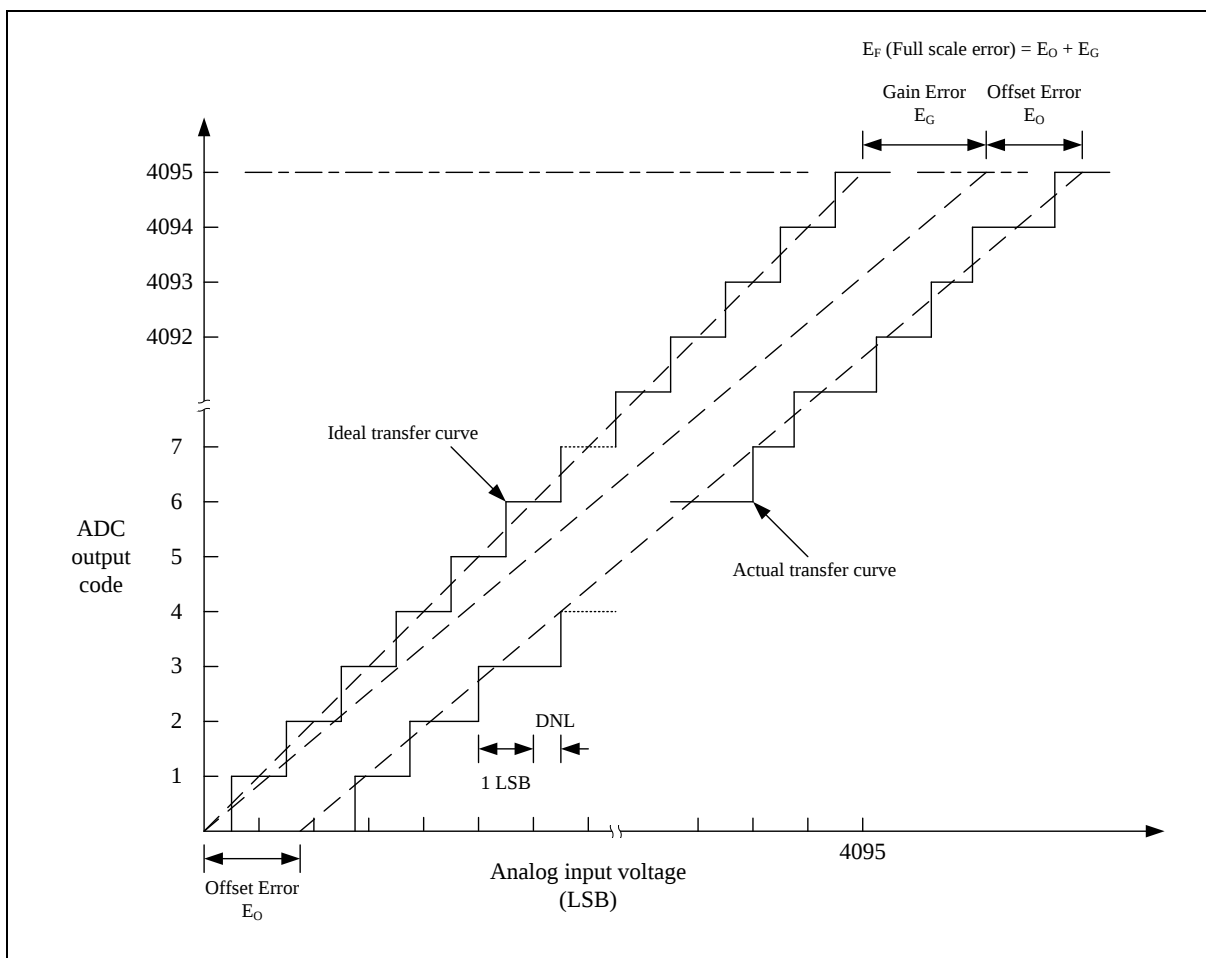
图 8.5-1 电源爬升/下降条件

8.5.2 12-bit SAR ADC

符号	参数	最小值	典型值	最大值	单位	测试条件
T _A	温度	-40	-	125	°C	
AV _{DD}	模拟操作电压	2.7	-	3.6	V	V _{DD} = AV _{DD}
V _{REF}	参考电压	2.048	-	AV _{DD}	V	
V _{IN}	ADC 通道输入电压	0	-	V _{REF}	V	
V _{CM}	共模输入范围	V _{REF} /2			V	全差分输入
I _{ADC} ^[1]	在2 MSPS采样率的操作电流 (AV _{DD} + V _{REF} 电流)		550		μA	AV _{DD} = V _{DD} = V _{REF} = 3.3 V
N _R	分辨率	12			Bit	
F _{ADC} ^[1]	ADC 时钟频率 (M029G/M030G)	4	-	24	MHz	
1/T _{ADC}	ADC 时钟频率 (M031G)	4	-	34	MHz	
T _{SMP}	采样时间	1	-	256	1/F _{ADC}	T _{SMP} = (EXTSMPT(ADC_ESMPCTL[7:0]) + 1) * T _{ADC}
T _{CONV}	转换时间	17	-	272	1/F _{ADC}	T _{CONV} = T _{SMP} + 16 * T _{ADC}
F _{SPS} ^[1]	采样率 (M029G/M030G)	-	-	1.4	MSPS	F _{SPS} = F _{ADC} / T _{CONV}
	采样率 (M031G)	-	-	2	MSPS	EXTSMPT(ADC_ESMPCTL[7:0]) = 0
INL ^[1]	积分非线性误差	-2	-	2	LSB	V _{REF} = AV _{DD}
DNL ^[1]	微分非线性误差	-1	-	2	LSB	V _{REF} = AV _{DD}
E _G ^[1]	增益误差	-4	0.5	4	LSB	V _{REF} = AV _{DD}
E _O ^[1] _T	偏移误差	-4	0.5	4	LSB	V _{REF} = AV _{DD}
E _A ^[1]	绝对误差	-4	0.5	4	LSB	V _{REF} = AV _{DD}
ENOB _{1.4M} ^[1]	在1.4 MSPS采样率的有效位数	-	9.3	-	bits	F _{ADC} = 24 MHz AV _{DD} = V _{DD} = V _{REF} = 3.6 V 输入频率 = 10 kHz T _A = 25 °C
SNR _{1.4M} ^[1]	在1.4 MSPS采样率的信噪比	-	58	-	dB	
THD _{1.4M} ^[1]	在1.4 MSPS采样率的总谐波失真	-	-77	-		
ENOB _{2M} ^[1]	在2 MSPS采样率的有效位数	-	9.3	-	bits	AV _{DD} = V _{DD} = V _{REF} = 3.6 V 输入频率 = 10 kHz T _A = 25 °C
SNR _{2M} ^[1]	在2 MSPS采样率的信噪比	-	58	-	dB	
THD _{2M} ^[1]	在2 MSPS采样率的总谐波失真	-	-71	-		
C _{IN} ^[1]	内部电容	-	2.9	-	pF	
R _{IN} ^[1]	内部开关电阻	-	0.95	2	kΩ	
R _{EX} ^[1]	外部输入阻抗	-	-	50	kΩ	

符号	参数	最小值	典型值	最大值	单位	测试条件
注: - 该表是设计保证，产品中没有测量 $R_{EX\ max}$公式用于确定允许1/4 LSB误差的最大外部阻抗。N = 12(基于12位分辨率)，k为采样时钟个数(T_{SMP})。C_{EX}表示PCB和pad的电容，并与R_{EX}组合成低通滤波器。一旦R_{EX}和C_{EX}值过大，就有可能对真实信号进行滤波，降低ADC精度。 $R_{EX} = \frac{k}{f_{ADC} \times C_{IN} \times \ln(2^{N+2})} - R_{IN}$						
						

注: 注入电流是ADC精度的一个重要类型。应避免在任何模拟输入引脚上注入电流，以保护在另一个模拟输入上执行转换。建议在可能注入电流的模拟引脚中加入肖特基二极管(引脚到地和引脚到电源)。



注: INL是校准后的转移曲线与理想转移曲线的过渡点之间的峰值差。校准传输曲线是指校准了实际传输曲线的偏移量和增益误差。

8.5.3 数模转换器 (DAC)

V_{DD} 的最大值= 3.6 V，典型值是环境温度 $T_A= 25^{\circ}\text{C}$ 和 $V_{DD} = 3.3\text{ V}$,除非另有说明。

符号	参数	最小值	典型值	最大值	单位	测试条件
AV_{DD}	模拟电源电压	2.7	3.3	3.6	V	
N_R	分辨率	12			bit	
V_{REF}	参考电压	2.048	-	AV_{DD}	V	$V_{REF} \leq AV_{DD}$
$DNL^{[2]}$	微分非线性误差		± 1	± 3	LSB	12-位模式
$INL^{[2]}$	积分非线性误差	-	± 2	± 5	LSB	12-位模式
$OE^{[2]}$	偏移误差	-	-	± 10	LSB	12-位模式 DACOUT 缓存开
		-	-	± 5	LSB	12-位模式 DACOUT 缓存关
$GE^{[2]}$	增益误差	-	-	± 10	LSB	12-位模式 DACOUT 缓存开

		-	-	±5	LSB	12-位模式 DACOUT 缓存关
AE ^[*2]	绝对误差	-	-	±10	LSB	12-位模式 DACOUT 缓存开
		-	-	±4	LSB	12-位模式 DACOUT 缓存关
-	单调性	10-位保证			-	-
V _O ^[*1]	输出电压	0.2	-	$V_{DD} - 0.2$	V	DACOUT 缓存开
		1*LSB	-	$V_{REF} - 1*LSB$	V	DACOUT 缓存关
R _{LOAD} ^{[*2] [*3]}	电阻负载	5	-		kΩ	DACOUT 缓存开
R _O ^[*2]	输出阻抗	-	8	20	kΩ	DACOUT 缓存关
C _{LOAD} ^{[*2] [*4]}	电容负载	-	-	20	pF	DACOUT 缓存关
		-	-	50	pF	DACOUT 缓存开
I _{DAC_AVDD} ^[*2]	AV _{DD} 电源上的DAC 工作电流	-	250	360	μA	AV _{DD} = 3.6V, 无负载, DACOUT 缓存开, lowest code (0x000)
						AV _{DD} = 3.6V, 无负载, DACOUT 缓存关, middle code (0x800)
I _{DAC_VREF} ^[*2]	V _{REF} 电源上的 DAC 工作电流	-	-	200	μA	V _{REF} = 2.5V, 无负载 worst case code (0x800)
T _B ^[*2]	建立时间	-	5	6	μs	满量程: 对于 12 位输入码, 当 DAC_OUT 达到最终值+/-1 LSB 时, 在最低和最高输入码之间转换 C _{LOAD} ≤ 50pF, R _{LOAD} ≥ 5kΩ, Buffer ON, V _{REF} = 2.5V
F _S	更新速率	-	1	-	MSPS	Max. frequency for a correct DAC_OUT change from core i to i+1LSB, C _{LOAD} ≤ 50pF, R _{LOAD} ≥ 5kΩ
PSRR ^[*1]	电源抑制比	-	-60	-40	dB	No R _{LOAD} , C _{LOAD} = 50pF
注: 1. 保证产品设计, 不经生产检验 2. 保证产品特性, 不经生产检验. 3. DACOUT 和AV _{SS} 之间的电阻负载. 4. 在 DACOUT 引脚的电容负载.						

8.5.4 M029G/M030G内部参考电压

V_{DD}的最大值= 3.6 V, 典型值是环境温度T_A= 25°C和V_{DD} = 3.3 V,除非另有说明。

符号	参数	最小值	典型值	最大值	单位	测试条件
V _{REF_INT}	内部参考电压	2.017	2.048	2.079	V	AV _{DD} ≥ 2.7 V
		2.463	2.5	2.538		AV _{DD} ≥ 2.7 V

$T_s^{[*1]}$	稳定时间	-	-	2	mS	$C_L = 4.7 \text{ uF}$, V_{REF} 初始值=0, 使能预加载
		-	-	15	mS	$C_L = 4.7 \text{ uF}$, V_{REF} 初始值=3.6, 使能预加载
		-	-	480	μS	$C_L = 1 \text{ uF}$, V_{REF} 初始值=0, 使能预加载
		-	-	3000	μS	$C_L = 1 \text{ uF}$, V_{REF} 初始值=3.6, 使能预加载
$I_{REF_INT}^{[*1]}$	V_{REF_INT} 工作电流	-	160	220	μA	
I_{REF_LOAD}	V_{REF_INT} 输出负载电流	-	-	1.5	mA	
注:						
1. 保证产品设计, 不经生产检验						

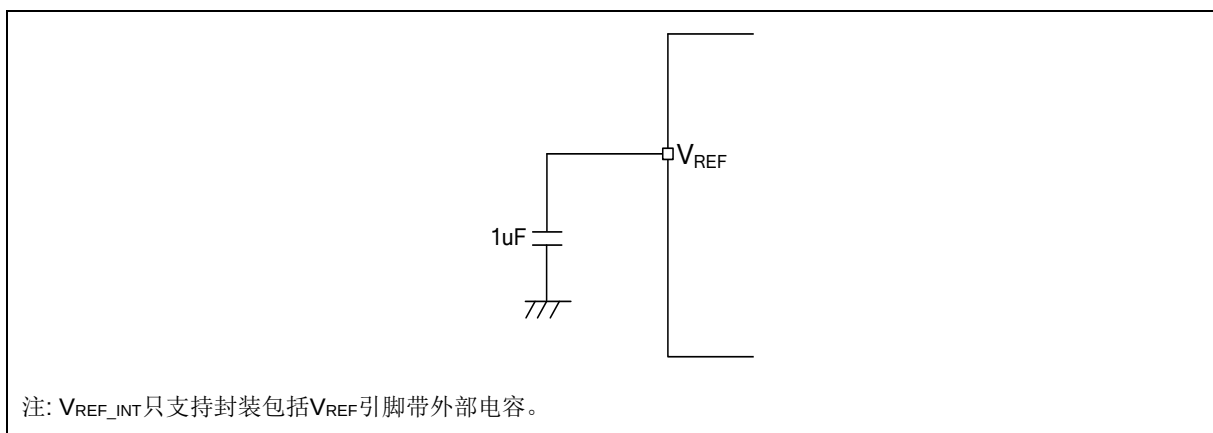


图 8.5-2 带内部参考电压的典型电路

8.5.5 M031G内部参考电压

V_{DD} 的最大值= 3.6 V，典型值是环境温度 $T_A= 25^{\circ}\text{C}$ 和 $V_{DD} = 3.3\text{ V}$,除非另有说明。

符号	参数	最小值	典型值	最大值	单位	测试条件
V_{REF_INT}	内部参考电压	2.017	2.048	2.079	V	$AV_{DD} \geq 2.7\text{ V}$
		2.463	2.5	2.538		$AV_{DD} \geq 2.7\text{ V}$
$T_s^{[*1]}$	稳定时间	-	-	2	mS	$C_L = 4.7\text{ uF}$, V_{REF} 初始值=0, 使能预加载
		-	-	15	mS	$C_L = 4.7\text{ uF}$, V_{REF} 初始值=3.6, 使能预加载
		-	-	900	μS	$C_L = 2.2\text{ uF}$, V_{REF} 初始值=0, 使能预加载
		-	-	6000	μS	$C_L = 2.2\text{ uF}$, V_{REF} 初始值=3.6, 使能预加载
$I_{REF_INT}^{[*1]}$	V_{REF_INT} 工作电流	-	300	360	μA	
I_{REF_LOAD}	V_{REF_INT} 输出负载电流	-	-	3	mA	

注:

1. 保证产品设计，不经生产检验

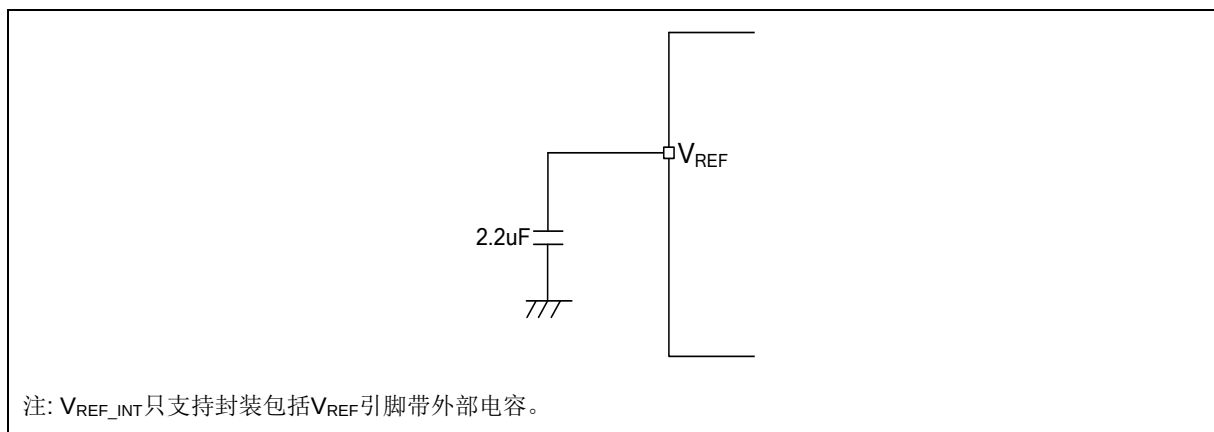


图 8.5-3 带内部参考电压的典型电路

8.5.6 温度传感器

V_{DD} 的最大值= 3.6 V，典型值是环境温度 $T_A= 25^{\circ}\text{C}$ 和 $V_{DD} = 3.3\text{ V}$,除非另有说明。

符号	参数	最小值	典型值	最大值	单位	测试条件
AV_{DD}	模拟电压	2.7	3.3	3.6	V	
T_A	温度	-40	-	105	$^{\circ}\text{C}$	
I_{TEMP}	温度传感器工作电流	-	200	-	μA	
$T_{TEMP_ERR}^{[*1]}$	内部温度偏差	-1.6	-	+1.6	$^{\circ}\text{C}$	$T = 0^{\circ}\text{C}$ 到 70°C $V_{DD} = 3.3\text{ V}$
		-2	-	+2	$^{\circ}\text{C}$	$T = -40^{\circ}\text{C}$ 到 105°C $V_{DD} = 2.7\text{ V}$ t 到 3.6 V

T_R	温度分辨率	-	0.0625	-	°C	
T_{CONV}	转换时间	-	84	100	ms	
注: 1. 保证产品设计, 不经生产检验						

8.6 通信特性

8.6.1 SPI 动态特性

符号	参数	规格 ^[1]				测试条件
		最小值	典型值	最大值	单位	
F_{SPICLK} $1/T_{\text{SPICLK}}$	SPI 时钟频率	-	-	24	MHz	$2.7\text{ V} \leq V_{\text{DD}} \leq 3.6\text{ V}$, $C_L = 30\text{ pF}$
t_{CLKH}	时钟输出高电平时间	$T_{\text{SPICLK}}/2$			ns	
t_{CLKL}	时钟输出低电平时间	$T_{\text{SPICLK}}/2$			ns	
t_{DS}	数据输入设置时间	2	-	-	ns	
t_{DH}	数据输入保持时间	4	-	-	ns	
t_v	数据输出有效时间	-	-	5	ns	$2.7\text{ V} \leq V_{\text{DD}} \leq 3.6\text{ V}$, $C_L = 30\text{ pF}$
注:						
1. 设计保证.						

表 8.6-1 SPI 主机模式特性

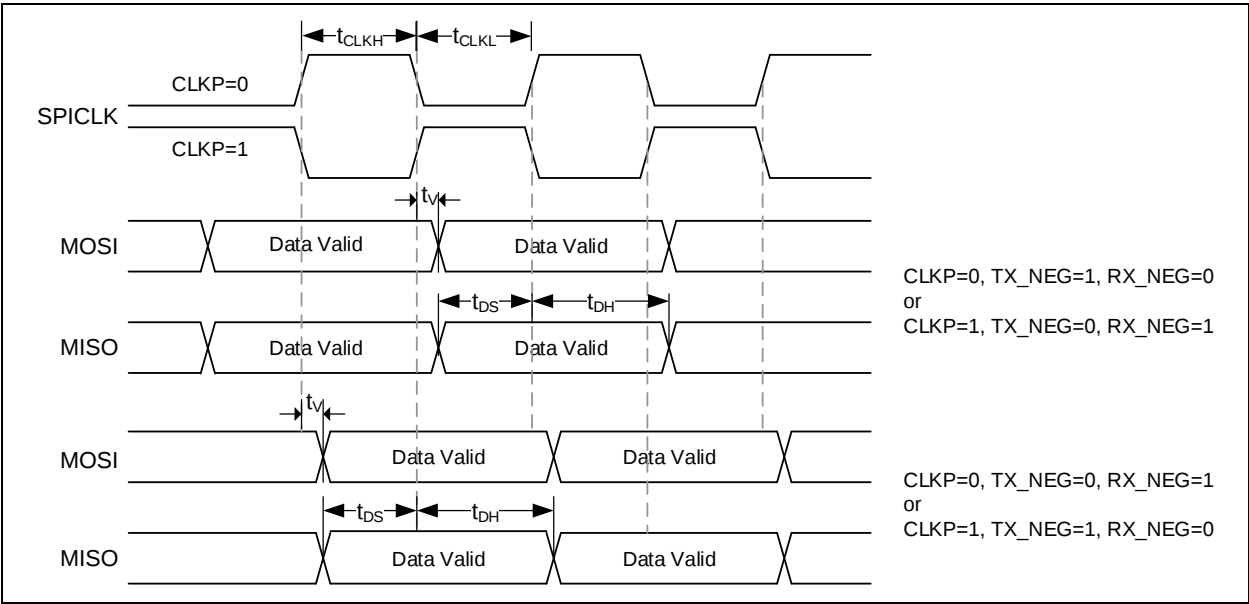


图 8.6-1 SPI 主机模式时序图

符号	参数	规格 ^[*1]				测试条件
		最小值	典型值	最大值	单位	
F_{SPICLK} $1/T_{\text{SPICLK}}$	SPI 时钟频率	-	-	16	MHz	$2.7\text{ V} \leq V_{\text{DD}} \leq 3.6\text{ V}$, $CL = 30\text{ pF}$
t_{CLKH}	时钟输出高电平时间	$T_{\text{SPICLK}} / 2$				
t_{CLKL}	时钟输出低电平时间	$T_{\text{SPICLK}} / 2$				
t_{SS}	从机选择设置时间	$\frac{1}{T_{\text{SPICLK}}} + 2\text{ ns}$	-	-	ns	$2.7\text{ V} \leq V_{\text{DD}} \leq 3.6\text{ V}$, $CL = 30\text{ pF}$
t_{SH}	从机选择保持时间	$\frac{1}{T_{\text{SPICLK}}}$	-	-	ns	
t_{DS}	数据输入设置时间	1.5	-	-	ns	
t_{DH}	数据输入保持时间	3.5	-	-	ns	
t_{V}	数据输出有效时间	-	-	17.5	ns	$2.7\text{ V} \leq V_{\text{DD}} \leq 3.6\text{ V}$, $CL = 30\text{ pF}$
注:						
1. 设计保证.						

表 8.6-2 SPI 从机模式特性

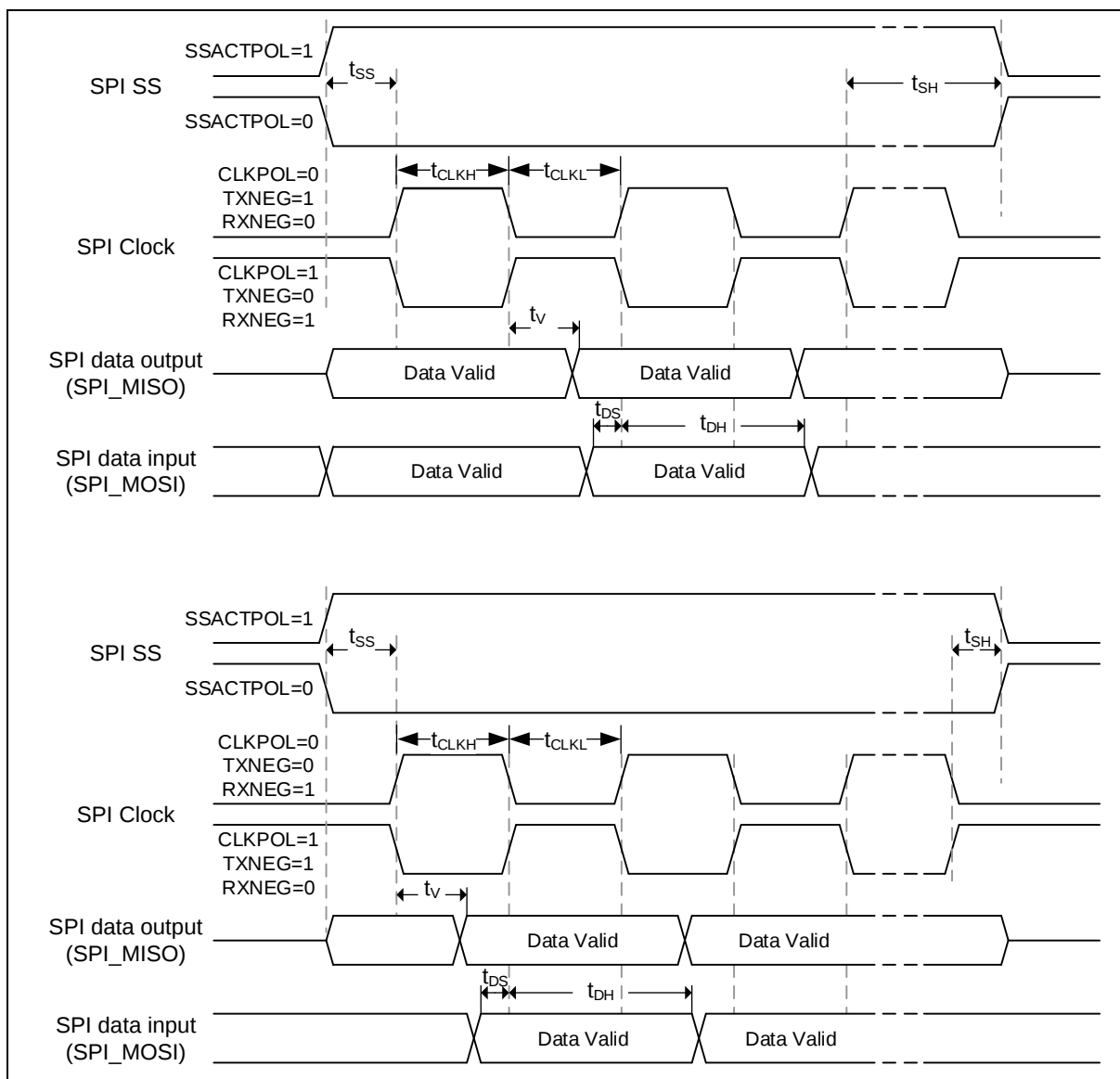


图 8.6-2 SPI 从机模式时序图

8.6.2 I²C 动态特性

符号	参数	标准模式 ^{[1][2]}		快熟模式 ^{[1][2]}		单位
		最小值	最大值	最小值	最大值	
t _{LOW}	SCL 低周期	4.7	-	1.3	-	μs
t _{HIGH}	SCL 高周期	4	-	0.6	-	μs
t _{SU; STA}	重复 START 条件设置时间	4.7	-	0.6	-	μs
t _{HD; STA}	START 保持时间	4	-	0.6	-	μs
t _{SU; STO}	STOP 设置时间	4	-	0.6	-	μs
t _{BUF}	总线空闲时间	4.7 ^[3]	-	1.2 ^[3]	-	μs
t _{SU; DAT}	数据设置时间	250	-	100	-	ns
t _{HD; DAT}	数据保持时间	0 ^[4]	3.45 ^[5]	0 ^[4]	0.8 ^[5]	μs
t _r	SCL/SDA 上升时间	-	1000	20+0.1C _b	300	ns
t _f	SCL/SDA 下降时间	-	300	-	300	ns
C _b	每个总线的电容负载	-	400	-	400	pF

注:
1. 保证产品特性，不经生产检验
2. HCLK必须大于2 MHz才能达到最大标准模式I²C频率。它必须大于8 MHz才能达到最大的快速模式I²C频率。
3. I²C控制器必须在从机接收到停止位后立即被触发。
4. 该装置必须在内部为SDA信号提供至少300ns的保持时间，以便桥接SCL下降边缘的未定义区域。
5. 只有当接口不拉伸SCL信号的低周期时，才能满足启动条件的最大保持时间。

表 8.6-3 I²C 特性

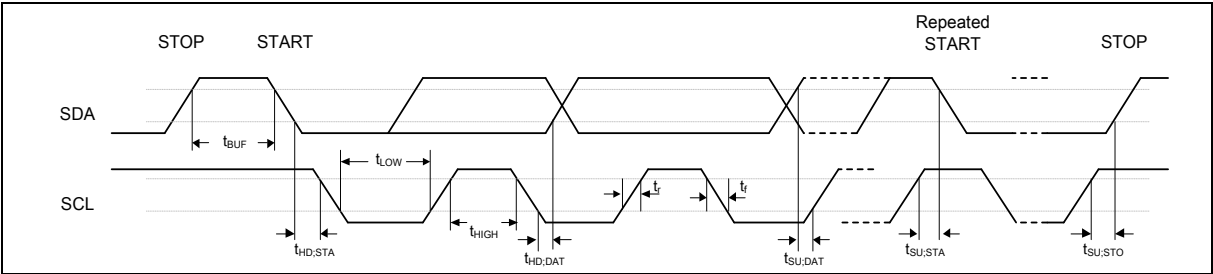


图 8.6-3 I²C 时序图

8.7 Flash DC 电气特性

这些设备被送到客户手中时，闪存已被擦除。

符号	参数	最小值	典型值	最大值	单位	测试条件
$V_{FLA}^{[1]}$	电源	1.62	1.8	1.98	V	$T_A = 25^{\circ}\text{C}$
T_{ERASE}	页擦除时间	-	20	-	ms	
T_{PROG}	编辑时间	-	60	-	μs	
I_{DD1}	读电流	-	7	-	mA	
I_{DD2}	编辑电流	-	8	-	mA	
I_{DD3}	擦除电流	-	12	-	mA	$T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$
N_{ENDUR}	擦写次数	20,000	-		cycles ^[2]	
T_{RET}	数据保存	10	-	-	year	20 kcycle ^[3] $T_J = 85^{\circ}\text{C}$
		2	-	-	year	20 kcycle ^[3] $T_J = 105^{\circ}\text{C}$

注:

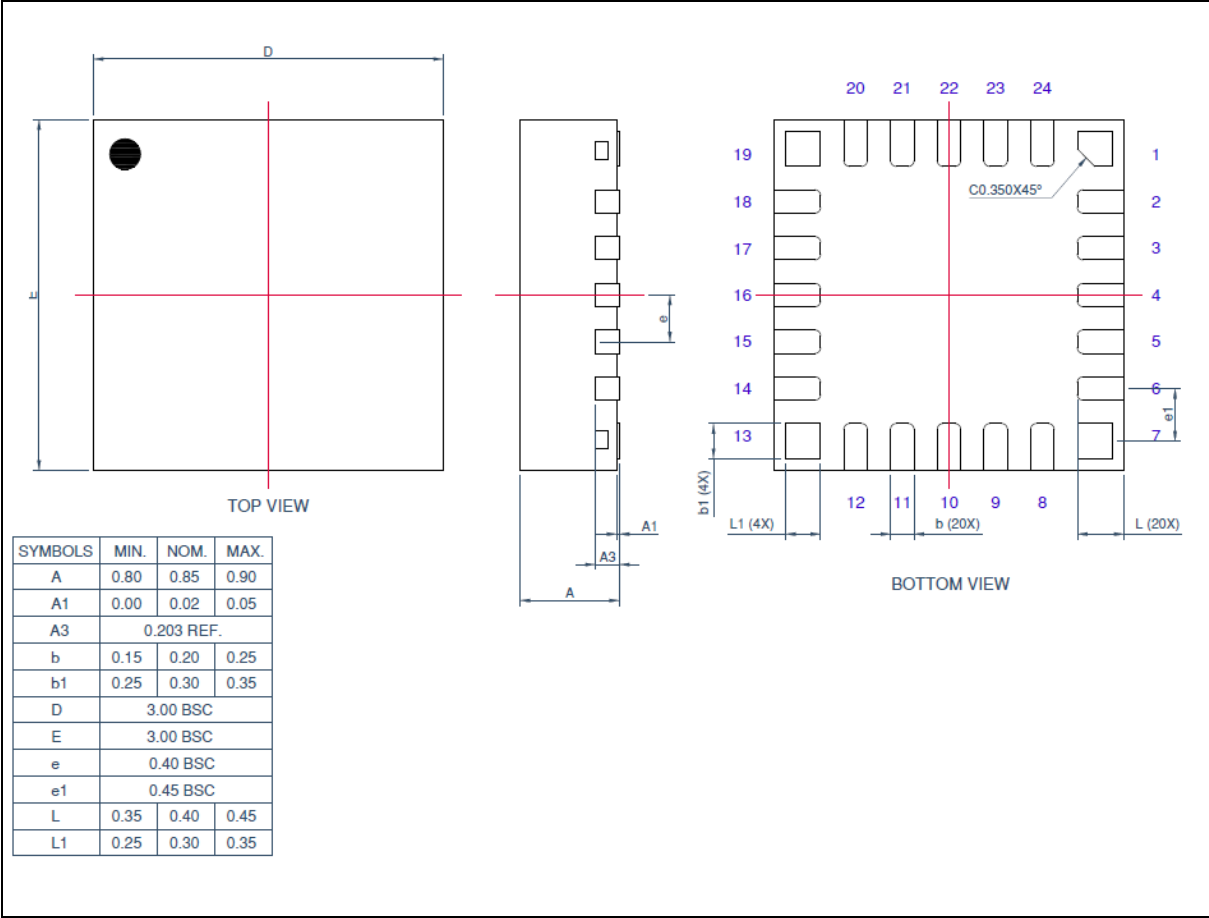
- V_{FLA} 来自芯片LDO输出电压.
- 编程/擦除周期数
- 设计保证

表 8.7-1 Flash DC 电气特性

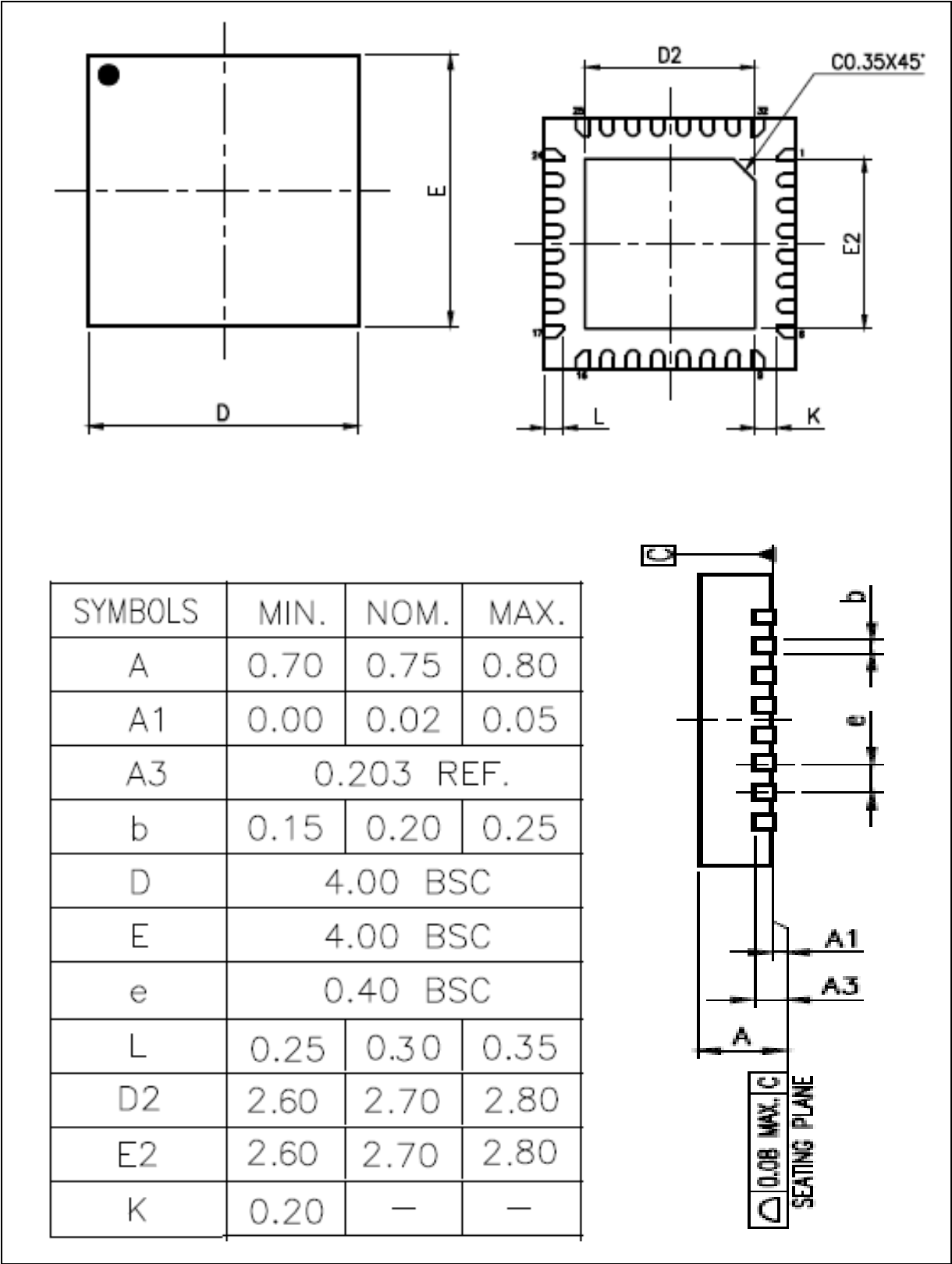
9 封装尺寸

封装不含卤素，符合 RoHS 和 TSCA 要求。

9.1 QFN 24L (3x3x0.9 mm Pitch:0.40 mm)



9.2 QFN 33L (4x4x0.8 mm Pitch:0.40 mm)



10 缩写

10.1 缩写

首字母缩略词	描述
ACMP	Analog Comparator Controller
ADC	Analog-to-Digital Converter
AES	Advanced Encryption Standard
APB	Advanced Peripheral Bus
AHB	Advanced High-Performance Bus
BOD	Brown-out Detection
CAN	Controller Area Network
DAP	Debug Access Port
DES	Data Encryption Standard
EADC	Enhanced Analog-to-Digital Converter
EBI	External Bus Interface
EMAC	Ethernet MAC Controller
EPWM	Enhanced Pulse Width Modulation
FIFO	First In, First Out
FMC	Flash Memory Controller
FPU	Floating-point Unit
GPIO	General-Purpose Input/Output
HCLK	The Clock of Advanced High-Performance Bus
HIRC	12 MHz Internal High Speed RC Oscillator
HXT	4~32 MHz External High Speed Crystal Oscillator
IAP	In Application Programming
ICP	In Circuit Programming
ISP	In System Programming
LDO	Low Dropout Regulator
LIN	Local Interconnect Network
LIRC	10 kHz internal low speed RC oscillator (LIRC)
MPU	Memory Protection Unit
NVIC	Nested Vectored Interrupt Controller
PCLK	The Clock of Advanced Peripheral Bus
PDMA	Peripheral Direct Memory Access
PLL	Phase-Locked Loop
PWM	Pulse Width Modulation

QEI	Quadrature Encoder Interface
SD	Secure Digital
SPI	Serial Peripheral Interface
SPS	Samples per Second
TDES	Triple Data Encryption Standard
TK	Touch Key
TMR	Timer Controller
UART	Universal Asynchronous Receiver/Transmitter
UCID	Unique Customer ID
USB	Universal Serial Bus
WDT	Watchdog Timer
WWDT	Window Watchdog Timer

表 10.1-1 缩写表

11 历史版本

Date	Revision	Description
2022.11.09	1.00	• 初始版本

Important Notice

Nuvoton Products are neither intended nor warranted for usage in systems or equipment, any malfunction or failure of which may cause loss of human life, bodily injury or severe property damage. Such applications are deemed, "Insecure Usage".

Insecure usage includes, but is not limited to: equipment for surgical implementation, atomic energy control instruments, airplane or spaceship instruments, the control or operation of dynamic, brake or safety systems designed for vehicular use, traffic signal instruments, all types of safety devices, and other applications intended to support or sustain life.

All Insecure Usage shall be made at customer's risk, and in the event that third parties lay claims to Nuvoton as a result of customer's Insecure Usage, customer shall indemnify the damages and liabilities thus incurred by Nuvoton.

Please note that all data and specifications are subject to change without notice.
All the trademarks of products and companies mentioned in this datasheet belong to their respective owners.